This Page Is Inserted by IFW Operations and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents will not correct images, please do not report the images to the Image Problems Mailbox.

THIS PAGE BLANK (USPTO)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:
COFLER

Serial No. 10/083,629

Filing Date: February 26, 2002

For: METHOD OF HANDLING INSTRUCTIONS)
WITHIN A PROCESSOR WITH
DECOUPLED ARCHITECTURE, IN
PARTICULAR A PROCESSOR FOR
DIGITAL SIGNAL PROCESSING, AND

CORRESPONDING PROCESSOR

TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Burgara Caral Baranga Baran

Director, U.S. Patent and Trademark Office Washington, D.C. 20231

Sir:

Transmitted herewith is a certified copy of the priority French Application No. 0102647.

Respectfully submitted,

MICHAEL W. TAYLOR

Reg. No. 43,182

Allen, Dyer, Doppelt, Milbrath & Gilchrist, P.A.

255 S. Orange Avenue, Suite 1401
Post Office Box 3791

Orlando, Florida 32802

Telephone: 407/841-2330

Fax: 407/841-2343

. Attorney for Applicant

CERTIFICATE OF MAILING

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail in an envelope addressed to: DIRECTOR, U.S. PATENT AND TRADEMARK OFFICE, WASHINGTON, D.C. 20231, on this 44 day of March, 2002.

THIS PAGE BLANK (USPTO)



BREVET D'INVENTION

CERTIFICAT D'UTILITÉ - CERTIFICAT D'ADDITION

COPIE OFFICIELLE

Le Directeur général de l'Institut national de la propriété industrielle certifie que le document ci-annexé est la copie certifiée conforme d'une demande de titre de propriété industrielle déposée à l'Institut.

> Pour le Directeur général de l'Institut national de la propriété industrielle Le Chef du Département des brevets

> > Martine PLANCHE

THIS PAGE BLANK (USPTO)



BREVET D'INVENTION CERTIFICAT D'UTILITÉ



Code de la propriété intellectuelle - Livre VI

PATIONAL DE LA PROPRIETE
26 bis. rue de Saint Pétersbourg
75800 Paris Cedex 08
Téléphone : 01 53 04 53 04 Télécopie : 01 42 94 86 54

REQUÊTE EN DÉLIVRANCE 1/2

	[- · · · · · · · · · · · · · · · · · ·			mé est à rem				DB 540 W /260899	
LIEU 75 INPI			- À	QUI LA COR	RESPONDA A. CASA	ANCE DO	R OU DU MAN HT ÊTRE ADRI -JOSSE	DATAIRE ESSÉE • •	
N° D'ENREGISTREMENT NATIONAL ATTRIBUÉ PAR L'INPI 0102647			8, Avenue Percier						
DATE DE OÉPÔT ATTRIBUÉE PAR L'INPI 2 7 FEV.		2001		75008 PARIS					
Vos références po (facultatif)	В 00/411		•	,				•	
Confirmation d'un dépôt par télécopie		■ N° attribué pa	r l'INPI à l	a télécopie			 -		
2 NATURE DE LA DEMANDE		Cochez l'une des	s 4 cases	suivantes					
Demande de brevet		Ø							
Demande de certificat d'utilité									
Demande divisi	ionnaire								
	Demande de brevet initiale	.N°			Date	/	/		
an dama	nde de certificat d'utilité initiale	N°			Date	1	/		
	d'une demande de		<u></u>						
	n Demande de breret initiale '	N°	•		Date	1	/		
4 DÉCLARATION DE PRIORITÉ OU REQUÊTE DU BÉNÉFICE DE LA DATE DE DÉPÔT D'UNE DEMANDE ANTÉRIEURE FRANÇAISE		Pays ou organisat Date / Pays ou organisat Date / Pays ou organisat	/ tion /		N°				
		Date /	1		N°				
		S'il y a d'autres priorités, cochez la case et utilisez l'imprimé «Suit »							
5 DEMANDEU	R	☐ S'il y a d'	autres de	mandeurs, c	ochez la	case et	utilisez l'imp	rimé «Suite»	
Nom ou dénomination sociale		STMicroelec	ctronic	s SA			•		
Prénoms									
Forme juridique		Société And							
N° SIREN		• • • • •							
Code APE-NAF		· · · · ·		,	 				
Adresse	Rue	7 avenue Ga				<u></u>			
	Code postal et ville	 	ENTILLY	· · · · · · · · · · · · · · · · · · ·					
Pays		FRANCE							
Nationalité		Française			· ·				
N° de téléphone (facultatif) N° de télécopie (facultatif)									
Adresse électronique (licultatif)									

1er dépôt



BREVET D'INVENTION CERTIFICAT D'UTILITÉ

REQUÊTE EN DÉLIVRANCE 2/2

Committee of the control of the

Réservé à l'INPI	A Company of the Comp				
REMISE DES PIECES	The second of th				
21 12.0 2001 17.	e material e angle de propinsi				
TEN 75 INPI PARIS					
N° D'ENREGISTREMENT NATIONAL ATTRIBUÉ PAR L'INPL 0102647	·				
TATIONE AT THOSE PAR CITY	D9 540 W / 190600				
Vos références pour ce dossier : ifacultatify : 9	B 00/4116 FR - 17 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1				
6 MANDATAIRE	remains the days of the section of t				
Nome and a single from a color	Constraint of the contract of				
Prénom	of Square, we seem to wheath of the party.				
Cabinet ou Société	BUREAU D.A. CASALONGA-JOSSE				
N °de pouvoir permanent et/ou					
de hen contractuel April 19 April 19	R Avenue Persian				
Adresse Rue No. 1 Adresse	B, Avenue Percier, Andrews A.				
	75008 PARTS 00 500 500 500 500 500 500 500 500 500				
N° de téléphone / jacultatif 1990 2 10 3000	ริกัดนาย เป็นมารอดา Estat ออกระยะเพราะ รวกการ				
Nº de télécopie (facultatif)	confirm one considerate and arrange of seasons.				
Adresse électronique (facultatif)	· an oas a said a said				
7 INVENTEUR (S)					
Les inventeurs sont les demandeurs	Oui Non Dans ce cas fournir une désignation d'inventeur(s) séparée				
8 RAPPORT DE RECHERCHE	Uniquement pour une demande de brevet (y compris division et transf rmation)				
Établissement immédiat	To the term of the state of the state of the term of				
ou établissement différé	u⊟aratinasily in the Driver plan in the				
and the state of t	Paiement en deux versements, uniquement pour les personnes physiques				
Paiement échelonné de la redevance	Oui () Non ()				
	↓ □ Non				
P RÉDUCTION DU TAUX	Uniquement pour les personnes physiques				
DES REPEATITOES A STATE OF THE	Requise antérieurement à ce dépôt (joindre une copie de la décision d'admission				
	pour cette invention où indiquer sa référence):				
.,	The state of the s				
Si vous avez utilisé l'imprimé «Suite»,	TOWARD THE EAST OF THE STATE OF				
indiquez le nombre de pages jointes	the second of th				
10 SIGNATURE DU DEMANDEUR	VISA DE LA PRÉFECTURE				
OU DU MANDATAIRE (Nom et qualité du signataire)	OU DE L'INPI				
	A. CASALONGA				
The services and another than the services	A. CASALOÑGA (bm 92-1044i)				
Cons	seil en Propriété Industrielle				

La loi n°78-17 du 6 janvier 1978 relative à l'informatique, aux fichiers et aux libertés s'applique aux réponses faites à ce formulaire. Elle garantit un droit d'accès et de rectification pour les données vous concernant auprès de l'INPI.

erin, Hala indoorg

Procédé de gestion d'instructions au sein d'un processeur à architecture découplée, en particulier un processeur de traitement numérique du signal, et processeur correspondant.

L'invention concerne les processeurs, notamment les processeurs de traitement numérique du signal (DSP: "Digital Signal Processors" en langue anglaise), et notamment la gestion d'instructions au sein d'un tel processeur, telles que les instructions de chargement dans un registre d'une donnée mémorisée, en particulier lorsqu'elles sont gardées.

Un processeur concerné par la présente invention comporte généralement plusieurs unités de traitement fonctionnant en parallèle. Classiquement, il est prévu en tant qu'unités de traitement, une unité arithmétique et logique, une unité d'adressage et une unité de gestion de branchement. Outre ces unités de traitement, le processeur comporte généralement une unité de contrôle ou unité centrale qui dialogue avec la mémoire- programme et délivre aux différentes unités de traitement, des instructions élémentaires encore communément appelées microinstructions.

Par ailleurs, le processeur concerné par la présente invention est à architecture découplée, permettant, après un temps de latence initiale, une vitesse d'exécution des instructions plus importante.

Le principe d'une architecture découplée est déjà connu de l'homme du métier, par exemple par la demande de brevet européen n° 0 949 565 ou par la demande de brevet européen n° 1 050 799. On rappelle maintenant brièvement le principe d'une architecture découplée, l'homme du métier pouvant se référer pour plus de détails, si nécessaire, aux demandes de brevets européens précitées.

Outre les unités de traitement précitées, il est prévu une interface mémoire qui contient notamment une mémoire du type FIFO (premier entré-premier sorti) destinée à recevoir et à stocker temporairement les données contenues dans une mémoire de données, par exemple formée de deux bancs de mémoire SRAM.

Dans une architecture découplée, une instruction de chargement dans un registre d'une donnée mémorisée est partitionnée en deux micro-

fractives to some one as a remark population as a section of management of the

30

20

25

5

10

_2

instructions ou instructions. Une première instruction est transmise au module d'adressage (unité d'adressage) qui calcule l'adresse effective de el la donnée dans la mémoire de données. L'autre instruction; qui est une 1974 à l'aminstruction de chargement dans le registre concerné, est temporairement 5. 5. 5. stockée dans une mémoire FIFO associée à l'unité arithmétique et logique. problement de la donnée de la d and beautiful mémorisée, élaborée par l'unité d'adressage, soit disponible. Lorsqu'il en son de lest ainsi, la mise à jour du registre concerné est effectivement réalisée. 11 s. 1999 et l'unité d'adressage a pris de l'avance sur l'unité arithmétique et logique. La machine est alors découplée". En contrepartie, vu de l'unité arithmétique et logique, la latence "fictive" est, nulled which species in the contraction of the salado a 6.30 de que Cependant, o puisque ales e instructions de destinées à l'unité arithmétique et logique sont traitées temporellement dans l'ordre, car elles sont stockées dans une FIFO ail est tout à fait possible qu'une 2241**15**: 0 200 30793 première instruction de chargement d'une donnée mémorisée dans un premier registre soit à un instant donné stockée en tête de la FIFO, et par de l'unité de l'unité de l'unité de l'unité de l'unité de l'unité de construction impliquant des registres différents du premier registre; soit stockée juste derrière cette première instruction de chargement. Et; tantaque cette première instruction de chargement, reste bloquée en tête de la FIFO; en attente de la donnée mémorisée-élaborée par l'unité d'adressage, la deuxième instruction, immédiatement derrière celle-ci, reste également bloquée alors qu'elle est 3 · 5 25 25 totalement indépendante de ladite instruction bloquée en tête de la FIFO. Linvention vise à apporter une solution à ce problème. $n_{10} \sim 100 \, \text{km}^{-1} \, \text{kg}^{-1}$ L'invention a pour but de proposer un mécanisme de gestion des substructions totalement différent de celui existant jusqu'à maintenant, et qui puisse améliorer les performances générales d'un processeur à 30: architecture découplée. L'invention propose donc un procédé de gestion d'instructions and the state of the sein d'une processeur à architecture découplée, ce processeur comportant un coeur contenant plusieurs unités de traitement respectivement associées à des moyens de mémoire du type FIFO 4.20(35)20(a)(premierg entré-premiera sorti) y pour a stocker je séquentiellement les

<u>.</u> 3

a la mainstructions respectives qui sont destinées aux unités correspondantes. Par ailleurs, la délivrance au coeur du processeur, d'une instruction de suchargement dans un registre d'une donnée mémorisée, provoque la Le control délivrance au moyen de mémoire d'une première unité de traitement, par warm 57 exemple une unité arithmétique det logique, d'une instruction de e la constant de la chargement dans le registre et la délivrance au moyen de mémoire d'une deuxième unité destraitement, par exemple l'unité d'adressage, d'une instruction destinée à élaborer ladite donnée mémorisée. L'instruction de chargement n'est exécutée que lorsque ladite donnée mémorisée a été délivrée par ladite deuxième unité de traitement. क इन्दर्स Selon une caractéristique générale de l'invention, le moyen de mémoire de la première unité de traitement comporte une première mémoire de type FIFO, et une deuxième mémoire de type FIFO distincte de la première. On stocke chaque instruction de chargement dans la première mémoire et certaines au moins des autres instructions opératives in la destinées à la première unité dans la deuxième mémoire (en pratique, on sur le 100 verra ci-après que selon un mode de mise en oeuvre particulièrement sta in a cavantageux, il est préférable en présence d'instructions gardées, dont la signification sera détaillée ci-après, de stocker des instructions dites de 20 de transmission dans une troisième mémoire). On extrait de la deuxième mémoire une instruction opérative impliquant au moins un registre et ayant atteint la tête de cette deuxième mémoire, si aucune instruction de chargement temporellement plus ancienne et destinée à modifier la valeur du ou des registres associée à cette instruction opérative, n'est présente 25 dans la première mémoire. Et, en présence d'une telle instruction modificatrice de chargement temporellement plus ancienne, on extrait l'instruction modificatrice de chargement a été extraite de la première Contractor and similarly as a contract . : .′′ mémoire.

En d'autres termes, selon l'invention, une instruction de chargement dans un registre d'une donnée mémorisée ne présente plus un l'approprie "caractère bloquant" vis-à-vis d'instructions opératives temporellement plus jeunes qui n'impliquent pas au moins un registre concerné par cette la para approprie instruction de chargement.

201 35 VIII 18 18 Selon un mode de mise en oeuvre du procédé selon l'invention, à

value de la chaque fois qu'on stocke dans la deuxième mémoire une instruction sans qu'il soit prévu de stocker simultanément dans la première mémoire une to en la des instruction des chargement, on estocke dans la première mémoire une normal instruction non-opérative (instruction NOP, selon une dénomination bien 18 19 5.5 m², connue de l'homme du métier). Par ailleurs, à chaque fois qu'on extrait une son division instruction de la première mémoire, quelle qu'elle soit, on incrémente un mean premier compteur de lecture. A chaque fois qu'on stocke une instruction, and la première mémoire, on incrémente un premier struction of the Compteur d'écriture, commission appeared no representations

with 10 grades and the Et, a chaque fois qu'on stocke dans la première mémoire une attention de chargement, on mémorise la valeur courante du premier et au line d'écriture. Et, la détermination du caractère toujours présent de cette instruction de chargement dans la première mémoire prend en compte le résultat de la comparaison de ladite valeur courante mémorisée

the isotropic compteur de lecture de lecture de le santaer serbaste p. E ust the many matiry the Encidentes between control entering as in unestimated instruction de sant de la final de la chargement qui a été écrite dans la première mémoire est toujours présente comparaison de la valeur 20.4 courante mémorisée du premier compteur d'écriture avec la valeur 1613 le courante mémorisée du premier compteur de lecture: 13 le courante mémorisée du premier compteur de lecture: 13 le courante mémorisée du premier compteur de lecture: 13 le courante mémorisée du premier compteur de lecture: 13 le courante mémorisée du premier compteur de lecture: 13 le courante mémorisée du premier compteur de lecture: 13 le courante mémorisée du premier compteur de lecture: 13 le courante mémorisée du premier compteur de lecture: 13 le courante mémorisée du premier compteur de lecture: 13 le courante mémorisée du premier compteur de lecture: 13 le courante mémorisée du premier compteur de lecture: 13 le courante mémorisée du premier compteur de lecture: 13 le courante mémorisée du premier compteur de lecture: 13 le courante mémorisée du premier de le courante mémorisée de le couran

2 % 74 12

11/01/2012

En spratique, le premier compteur de lecture et le premier compteur d'écriture ont avantageusement une taille binaire identique et esta de la profondeur de la première mémoire. On associe alors, selon un mode de mise en oeuvre du procédé, à chaque premier compteur, un bit de dépassement changeant de valeur à chaque fois que le premier compteur the region of correspondent revient à sa valeur initiale. Et, à chaque fois qu'on stocke A promière mémoire une instruction de chargement, on mémorise également la valeur courante du bit de dépassement du premier compteur d'écriture. Et, la détermination du caractère toujours présent de cette

du premier compteur d'écriture avec la valeur courante du premier

instruction de chargement dans la première mémoire prend également en en moi compte le résultat de la comparaison de la valeur courante du bit de dépassement du premier compteur de lecture avec ladite valeur mémorisée 2011 35 sogno de le Ceci permet de tenir compte du fait que le pointeur de lecture et

le pointeur d'écriture de la première mémoire peuvent se situer dans deux fenêtres "circulaires" différentes.

En ce qui concerne les instructions opératives impliquant au moins un registre, selon un mode de mise en oeuvre du procédé selon state 5 moil l'invention, à chaque fois qu'on stocke dans la deuxième mémoire une première l'étiquette contenant la valeur courante du premier compteur d'écriture qui a été mémorisée lorsque la dernière (c'est à dire la plus jeune) instruction de chargement modifiant l'un au moins des registres mémoires Le critères d'extraction opérative a été stockée dans la première mémoires Le critères d'extraction des cette instruction opérative ayant atteint la tête de la deuxième mémoire prend alors en compte le résultat de la comparaison entre ladite valeur courante mémorisée associée à cette instruction opérative (contenue dans la première étiquette), et la valeur courante du première du première compteur de lecture.

En d'autres termes, le principe de base est icite comparer la s'improvaleur courante du prémier compteur de lecture avec la valeur courante du prémier compteur d'écriture qui a été mémorisée clorsque la dernière la compteur d'écriture qui a été mémorisée clorsque la dernière de la constitution de chargement modifiant l'un au moins des registres impliqués dans la dite instruction opérative a été stockée dans la première mémoire. Et, le principe de base consiste à autoriser l'extraction de l'instruction opérative ayant atteint la tête de la mémoire lorsque la valeur courante du première compteur de lecture est supérieure à la valeur courante mémorisée contenue dans la première étiquette qui a été attachée à cette instruction 25 propérative. Le consiste de la convent de prendre en compte

premier compteur d'écriture est dans une fenêtre circulaire donnée et que soit le premier compteur de lecture est toujours positionnée dans la fenêtre 30 de circulaire précédente. La compteur de tels cas particuliers, selon un mode de le mise en oeuvre du procédé selon l'invention, à chaque fois qu'on stocke de la compteur dans la deuxième mémoire, on lui associe également dans sa première étiquette la valeur courante du bit de compteur dépassement du premier compteur d'écriture qui à été mémorisée lorsque

Le contrat de cas où une instruction de chargement est écrite alors que le

la dernière instruction de chargement modifiant l'un au moins des registres impliqués dans ladite-instruction opérative a été stockée dans la première mémoire. Et, le critère d'extraction de cette instruction opérative ayant atteint la tête de la deuxième mémoire prend également en sime 500 de compte de résultat (de la comparaison entre cette valeur courante * le la valeur courante du bit de dépassement du premier compteur de lecture. 13000 Parmi les instructions délivrées aux unités de traitement, The first figurent destinstructions dites "gardées" permettant une écriture plus 2010 performante du code programme. sie initiale de la Compa L'utilisation d'instructions gardées dans un processeur est déjà and the connue de l'homme du métier, par exemple par la demande de brevet européen n° 1 050 803. On rappelle ici brièvement le principe des and opposite instructions gardées, l'homme du métier pouvant se référer pour plus de 15 détails, si nécessaire, à la demande de brevet européen précitée. de 1000 de 1983 de Une instruction agardée destaune instruction affectée d'une indication dite "de garde", en pratique un bit de garde pouvant prendre la o minimi valeur 0 ou 1. L'instruction gardée sera alors exécutée ou non en fonction de la valeur du bit de garde, c'est-à-dire de l'indication de garde. Toutes les valeurs binaires des indications de garde, pouvant être au nombre de 20 5 .. 1 151. seize par exemple, sont contenues dans un registre dit "registre d'indications de garde". Ce registre centralisé est incorporé au sein d'une to the Physical unité de traitement, par exemple l'unité arithmétique et logique, et contient à chaque instant les valeurs courantes des indications ou bits de 25 garde. Les valeurs de ces indications de garde peuvent être modifiées par des instructions spécifiques dites "instructions modificatrices". Pour lire la valeur d'une indication de garde associée à une instruction gardée; l'unité de traitement qui reçoit cette instruction gardée et qui n'a pas un accès direct au registre des indications de garde (par 30: Dexemple l'unité de branchement), requiert un transfert de la valeur de 4.1. 조선 # l'indication de garde depuis l'unité de traitement qui détient le registre des indications de garde. En d'autres termes, la délivrance d'une instruction gardée à une unité de traitement qui ne détient pas le registre des indications de garde, provoque la délivrance à l'unité de traitement qui est

35 35 la gardienne du registre des indications de garde, d'une instruction dite

o 7

"de transmission", qui est udestinée à faire transmettre, à l'unité de traitement qui reçoit l'instruction gardée, la valeur de l'indication de garde associée à cette instruction gardée.

Et, l'instruction gardée est maintenue dans l'étage de tête (étage de sortie) de la mémoire d'instructions du type FIFO, associée à cette unité de traitement, jusqu'à ce que cette dernière reçoive de l'unité de traitement qui détient le registre des indications de garde, ladite valeur de l'indication de garde associée à cette instruction gardée. Ce n'est que lorsque l'unité de traitement qui détient le registre des indications de garde, aura exécuté l'instruction de traismission, que la valeur correspondante de l'indication de garde sera transmise à l'unité de traitement requérante, de façon que celle-ci puisse ou non exécuter son instruction gardée: sur que sera transmise ou non exécuter son instruction gardée: sur que sera transmise ou non exécuter son instruction gardée: sur que sera transmise ou non exécuter son instruction gardée: sur que sera transmise ou non exécuter son instruction gardée: sur que sera transmise ou non exécuter son instruction gardée: sur que sera transmise ou non exécuter son instruction gardée: sur que sera transmise ou non exécuter son instruction gardée: sur que sera transmise ou non exécuter son instruction gardée: sur que sera transmise ou non exécuter son instruction gardée: sur que sera transmise ou non exécuter son instruction gardée.

15 transmission est bloquée dans la mémoire d'instructions de l'unité de traitement qui détient le registre des indications de garde, l'unité de final constitue traitement requérante va être en conséquence également bloquée jusqu'à ce qu'elle reçoive la valeur de l'indication de garde correspondante.

Par ailleurs, les instructions de chargement peuvent être ellesmêmes des instructions gardées. Or, compte tenu de la présence de la première mémoire, qui est destinée à stocker les instructions de chargement, il est nécessaire de s'assurer que la valeur d'une indication de garde délivrée par le registre des indications de garde et destinée à une instruction de chargement, est bien la bonne valeur attendue compte tenu de l'exécution dans l'ordre de toutes les instructions stockées dans les différentes FIFO.

La délivrance d'une instruction gardée au moyen de mémoire d'une autre unité de traitement différente de la première, par exemple d'une autre unité de branchement, ou la délivrance d'une instruction de chargement gardée à la première unité, provoque la délivrance à la première unité de traitement et son stockage dans la troisième mémoire, d'une instruction de transmission destinée à faire transmettre à ladite autre unité (par exemple de product de l'unité de branchement) ou à ladite quatrième mémoire, respectivement, la valeur de l'indication de garde associée à ladite instruction gardée ou à ladite instruction de chargement gardée; respectivement.

On extrait alors de la troisième mémoire, une instruction de estrait 15 c. transmission ayant atteint la tête de cette troisième mémoire, si aucune instruction modificatrice temporellement plus ancienne destinée à modifier la valeur de l'indication de garde associée à cette instruction de la transmission, n'est présente dans la deuxième mémoire. Et, en présence d'une telle instruction modificatrice temporellement plus ancienne dans cla deuxième mémoire, son extrait l'instruction de transmission de la transmission de la extraite de la deuxième mémoire seulement après que l'instruction modificatrice a été extraite de la deuxième mémoire:

transmission peut s'court-circuiter toutes les autres instruction si aucune instruction temporellement plus ancienne stockée dans la deuxième mémoire n'est de nature à modifier la valeur de l'indication de garde associée à cette instruction de transmission.

destinée à recevoir les valeurs des indications de garde des instructions de chargement gardées, est lue en parallèle avec la première mémoire destinée à recevoir les instructions de chargement, évitant ainsi une perte de synchronisation dans l'exécution des instructions.

Selon un mode de mise en oeuvre du procédé selon l'invention, à chaque fois qu'on extrait une instruction de la deuxième mémoire, on the destrait une instruction de la deuxième mémoire, on the destrait une compteur de lecture. De même, à chaque fois

mémoire une instruction modifiant la valeur d'une indication de garde, on mémoire la valeur courante du deuxième compteur d'écriture. Et, la détermination du caractère autoujours présent à d'une instruction modificatrice dans la deuxième mémoire prend en compte le résultat de la comparaison de la dite valeur courante mémoire du deuxième compteur d'écriture avec la valeur courante du deuxième compteur de lecture.

and 15. A service of En pratique, electeuxième compteur, de lecture et le deuxième & se compteur d'écriture ont avantageusement une taille binaire identique all matter a égale à la profondeur de la deuxième mémoire. On associe alors, selon un and the amode de mise en ocuvre du procédé, à chaque deuxième compteur, un bit de dépassement changeant de valeur à chaque fois que le deuxième 20 compteur correspondant revient à sa valeur initiale. Et, à chaque fois and qu'on stocke dans la deuxième mémoire une instruction modifiant la valeur d'une indication de garde, on mémorise également la valeur courante du bit de dépassement du deuxième compteur d'écriture. Et, afin de tenir compte du fait que le pointeur de lecture et le pointeur d'écriture de la deuxième mémoire peuvent se situer dans deux fenêtres "circulaires" différentes, la détermination du caractère toujours présent de l'instruction modificatrice dans la deuxième mémoire prend également en compte le résultat de la comparaison de la valeur courante du bit de dépassement du deuxième compteur de lecture avec ladite valeur mémorisée du bit de dépassement du deuxième compteur d'écriture.

mode de mise en oeuvre du procédé selon l'invention, à chaque fois qu'on stocke une instruction de transmission dans la troisième mémoire et que se mémoire et que se mémoire stocke pas simultanément une autre instruction dans la deuxième mémoire; on stocke simultanément dans els deuxième mémoire; on stocke simultanément dans els deuxième mémoire une



instruction non-opérative (instruction NOP) de façon à ne pas désynchroniser les mécanismes. Par ailleurs, à chaque stockage d'une -1 2 1 las instruction ade transmission, con associe à ladite instruction de comportant la valeur courante du deuxième compteur d'écriture qui à été mémorisée lorsque la dernière instruction modifiant l'indication de garde associée à ladite instruction de transmission anété stockée dans la deuxième mémoire. Le critère d'extraction de cette instruction de transmission ayant atteint la tête de la de la comparaison de la compar entre ladite valeur courante mémorisée associée à cette instruction de 11. 1 1 2 2 4 transmission (contenue dans la deuxième étiquette), et la valeur courante du deuxième compteur de lecture. (1884) (1884) (1884) Trans to the Bush En d'autres termes, le principe de base est ici de comparer la valeur courante du deuxième compteur de lecture avec la valeur courante 32 115 du deuxième comptéur d'écriture qui a été mémorisée lorsque la dernière instruction modifiant l'indication de garde associée à cette instruction de de la constransmission à été stockée dans la deuxième mémoire. Et, le principe de 1976 and one base consiste (à autoriser l'extraction de l'instruction de transmission ayant atteint la tête de la mémoire lorsqué la valeur courante du deuxième compteur de lecture est supérieure à la valeur courante mémorisée contenue dans slétiquette qui la tété attachée à cette instruction de ரம் சிறு I transmission, and expedie, முன் கேழ்வில் என்ன சிறைக் Cependant, là rencore, il convient de prendre en compte notamment le cas où une instruction modificatrice est écrite alors que le deuxième compteur d'écriture est dans une fenêtre circulaire donnée et 25 ans la mark of the fenêtre circulaire précédente. I sail le communication de la commu But I have Aussi, pour résoudre de tels cas particuliers, selon un mode de mise en oeuvre du procédé selon l'invention, à chaque fois qu'on stocke une instruction de transmission dans la troisième mémoire, on lui associe également dans sa deuxième étiquette, la valeur courante du bit de 18 31 195 M dépassement du deuxième compteur d'écriture qui a été mémorisée La lorsque la dernière instruction modifiant l'indication de garde associée à saladite instruction de transmission a été stockée dans la deuxième 21.25/35/20 comémoire! Et, le critère d'extraction prend alors également en compte le

résultat de la comparaison entre cette valeur courante mémorisée du bit de dépassement du deuxième compteur d'écriture, contenue dans la valeur courante du bit de dépassement du deuxième compteur de lecture. L'invention a également pour objet un processeur à architecture Andrew de la comprenant un coeur contenant plusieurs unités de traitement, respectivement associées à des moyens de mémoire du type FIFO pour en la matricion destinées de la stocker séquentiellement les instructions respectives qui sont destinées aux unités correspondantes. Le coeur de processeur comporte par ailleurs 10 une unité centrale apte en réponse à une instruction de chargement dans un registre d'une donnée mémorisée, à délivrer au moyen de mémoire d'une première unité de traiement, une instruction de chargement dans ledit registre, et à délivrer au moyen de mémoire d'une deuxième unité de ,traitement une instruction, destinée à élaborer ladite donnée mémorisée. L'instruction de chargement n'est, exécutée que lorsque ladite donnée mémorisée a été délivrée par ladite-deuxième unité de traitement. es les constitutes en Selon une caractéristique générale de l'invention, le moyen de mémoire de la première unité comporte une première mémoire de type EIFO, et une deuxième mémoire de type FIFO distincte de la première.

20 Le processeur comporte par ailleurs : Le processeur comporte par ai

.2.41

des premiers moyens de commande aptes de la deuxième mémoire une instruction opérative impliquant au moins un registre et ayant atteint la tête de cette deuxième mémoire si aucune instruction de chargement temporellement plus ancienne et destinée à modifier la valeur du ou des registres associés à cette instruction opérative, n'est présente dans la première mémoire, et en présence d'une telle instruction modificatrice de chargement temporellement plus ancienne, à extraire l'instruction opérative de la deuxième mémoire seulement après que l'instruction modificatrice de chargement a été extraite de la première mémoire.

11 ot35 (* 129 program, Selon un mode de réalisation de l'inventionales premiers moyens

of the end of determinance comportent to the street of the end of the composition of the

- un ensemble de premiers registres élémentaires respectivement associés à all'ensemble des registres capables d'être chargés par des parties des données mémorisées. Los establications de charge des commande apte, à chaque fois qu'une tant 10 par instruction de chargement dans un registre est stockée dans la première

mémoire, à stocken la valeur courante du premier compteur d'écriture dans un champ principal du premier registre élémentaire associé à ce registre, et de la companie de commande apte à déterminer le caractère toujours présent de cette instruction de chargement dans la première mémoire, cen deuxième blocude commande comportant des premiers moyens de comparaison aptes à à comparer ele contenu dudit champ principal du premier registre élémentaire, avec la valeur courante du

Selon un mode de réalisation de l'invention de premier compteur d'écriture et le premier compteur de lecture ont une taille binaire identique égale à la profondeur de la première mémoire. An chaque premier compteur, est associé un bit de dépassement changeant de valeur à chaque fois que le premier compteur correspondant revient à sa valeur initiale.

Chaque premier registre élémentaire comporte en outre, un champ auxiliaire à un bit. Le premier bloc de commande est alors apte, à chaque première mémoire, à stockée dans la première mémoire, à stocker également la valeur courante du bit de dépassement du premier compteur d'écriture dans le champ auxiliaire du premier registre élémentaire correspondant. Le deuxième bloc de commande comporte, alors des premièrs moyens de comparaison

comparation auxiliaires comportent par exemple une porte-logique NON nOU EXCLUSIF (XNOR en langue quantité on anglaise).

auxiliaires aptes à comparer la valeur courante du bit de dépassement du

premier compteur de lecture avec le contenu du champ auxiliaire.

Selon un mode de réalisation de l'invention, chaque étage de la deuxième mémoire comporte un champ utile pour le stockage d'une instruction opérative, et un premier champ supplémentaire. (Ce premier champ supplémentaire va permettre de stocker une partie de la première étiquette attachée à el'instructions opérative, typiquement la valeur naces de comémorisée du premier compteur d'écriture).

with the transfer in Les premiers moyens de commande comportent alors:

- un troisième bloc de commande apte, à chaque fois qu'une instruction opérative impliquant au moins un registre est stockée dans le champ utile de l'étage d'entrée de la deuxième mémoire, à sélectionner parmi tous les premiers registres élémentaires associés à tous les registres impliqués dans ladite instruction opérative, celui correspondant à la dernière (la plus jeune) instruction de chargement modifiant l'un au moins de ces registres, et à transférer le contenu du champ principal du premier registre élémentaire sélectionné, dans le premier champ supplémentaire de l'étage d'entrée de la déuxième mémoire, et chance de la déuxième de la déuxième de la déuxième mémoire, et chance de la déuxième de la deuxième de la

the third to the second and a contract of the commander of the contract of the d'extraction de cette instruction opérative ayant atteint l'étage de tête de la deuxième mémoire, ce quatrième bloc de commande comportant des 20 premiers moyens de comparaison aptes à comparer le contenu du premier champ supplémentaire de l'étage de tête avec la valeur courante du United State premier compteur deflectures (1976) (1980) (1990) (1992) (1993)

19636 .

2.0

Selon un mode de réalisation de l'invention, chaque étage de la deuxième mémoire comporte en outre un deuxième supplémentaire. Ce deuxième champ supplémentaire, par exemple un bit supplémentaire, va permettre de stocker une autre partie de la première étiquette attachée à l'instruction opérative, typiquement la valeur mémorisée du bit de dépassement du premier compteur d'écriture. Le troisième bloc de commande est alors apte, à chaque fois qu'une instruction opérative est stockée dans le champ utile de l'étage d'entrée de la deuxième mémoire, à transférer le contenu du champ auxiliaire du premier registre élémentaire sélectionné, dans le deuxième champ supplémentaire de l'étage d'entrée de la deuxième mémoire. Le quatrième bloc de commande comporte alors des premiers moyens de comparaison supplémentaires aptes à comparer le contenu du deuxième champ

compteur/de lecture! A substant du bit de dépassement du premier

Là encore, ces moyens de comparaison supplémentaires peuvent comporter une porte logique NON OU EXCLUSIF (XNOR).

particulièrement adapté à la gestion des instructions gardées, le moyen de mémoire de la première unité comporte une troisième mémoire de type FIFO, distincte de la première et de la deuxième mémoires, et une de la première de type FIFO, distincte de type FIFO, distincte de type FIFO, distincte de type FIFO, distincte des trois premières.

अभिमार्ग के अवस्था La spremière seunité (des straitement) contient struit registre d'indications de garde. अवस्था के अवस्थाना का अवस्थान कर को स्थान

and the first the language of the first state of th

autré unité de traitément différente de la première, ou bien une instruction de la première, ou bien une instruction de la première de traitement, et

30 le constant a pensoprésence d'une telle instruction modificatrice de temporellement plus ancienne, à extraire l'instruction de transmission de la troisième mémoire seulement après que l'instruction modificatrice a été extraire de la deuxième mémoire.

35 moyens de commande comportent : [] A substitute the transition of the



Lif 15

which was a sure of the sure o
qu'une instruction est extraite de la deuxième mémoire, and
en la compteur d'écriture incrémenté à chaque fo
qu'une instruction est stockée dans la deuxième mémoire,
1.11 - 5 fig un., ensemble de
disprove respectivement associés, à l'ensemble des indications de garde,
1919, 11. 10 10, 11. 7 un cinquième bloc de commande apte, à chaque fois qu'un
and le construction modifiant la valeur d'une indication de garde est stockée dans
la deuxième mémoire, à stocker la valeur courante du deuxième comptet
10. d'écriture dans un champ principal du deuxième registre élémentair
associé à cette indication de garde, propre appropriété
- un sixième bloc de commande apte à déterminer le caractèr
toujours présent de cette instruction modificatrice dans la deuxièn
mémoire, ce sixième bloci de commande comportant des deuxième
15 moyens de comparaison aptes à comparer le contenu dudit cham
10 834 principal du deuxième registre élémentaire, avec la valeur courante d
A platon est a deuxième compteur ide decture et moltonistat part de destination de la financia del la financia de la financia
ment l'invention, ale deuxièment l'invention, ale deuxièment de l'invention, ale deuxièment l'invention l'inventio
compteur d'écriture et le deuxième compteur de lecture ont une tail
20 binaire identique égale à la profondeur de la deuxième mémoire. A chaqu
deuxième compteur, jest associé un bit de dépassement changeant changeant
valeur à chaque fois que le deuxième compteur correspondant revient à s
yaleur initiale. Chaque deuxième registre élémentaire comporte en out
e un champ auxiliaire à un bit.
25 mg de Leccinquième blocide commande est alors apte, à chaque fo
qu'une instruction modifiant la valeur d'une indication de garde e
stockée dans la deuxième mémoire, à stocker également la valeur couran
du bit de dépassement du deuxième compteur d'écriture dans le cham
auxiliaire du deuxième registre élémentaire correspondant.
Le sixième bloc de commande comporte alors des deuxième
moyens de comparaison auxiliaires aptes à comparer la valeur courante de la comparer la courante de la comparer la valeur courante de la comparer la courante de la courante
bit de dépassement du deuxième compteur de lecture avec le contenu c
champ auxiliaire. Ces deuxièmes moyens de comparaison auxiliaire
comportent par exemple une porte logique NON OU EXCLUSIF (XNO
35 en langue anglaise). : නු දුනු දෙන්න ක්රාන්තයන් සහ කරනම වැදි



Selon un mode de réalisation de l'invention, chaque étage de la troisième mémoire comporte un champ utile pour le stockage d'une instruction de transmission, et un premier champ supplémentaire. (Ce premier champ supplémentaire va permettre de stocker une partie de la 5000 deuxième étiquette attachée à l'instruction de transmission, typiquement la valeur mémorisée du deuxième compteur d'écriture).

10 10 10 10 10 Les deuxièmes moyens de commande comportent alors :

- un septième bloc de commande apte, à chaque fois qu'une sinstruction de transmission est stockée dans le champ utile de l'étage d'entrée de la troisième mémoire, là transférer le contenu du champ principal du deuxième registre élémentaire associé à l'indication de garde correspondante, dans le premier champ supplémentaire de l'étage d'entrée de l'autroisième mémoire, et au l'accompanie de l'actro une de l'actroisième mémoire, et au l'accompanie de l'actro une de l'actroisième mémoire, et au l'accompanie de l'actroisième mémoire, et au l'actroisième mémoire, et au l'accompanie de l'actroisième de l'actroisième mémoire, et au l'accompanie de l'actroisième de l'actroisié

- un huitième bloc de commande apte à élaborer le critère de 15 moi d'extraction de cette instruction de transmission ayant atteint l'étage de la la locale de la troisième mémoire, ce huitième bloc de commande comportant des deuxièmes moyens de comparaison aptès à comparer le contenu du premier champ-supplémentaire de l'étage de tête avec la valeur courante de le comparaison de la valeur courante de la valeur comparaison de la valeur courante de la valeur courante

Selon un mode de réalisation de l'invention, chaque étage de la stroisième e mémoire a comporte en a outres un deuxième supplémentaire. Ce deuxième champ supplémentaire, par exemple un bit supplémentaire, va permettre de stocker une autre partie de la deuxième étiquette attachée à l'instruction de transmission, typiquement la valeur mémorisée du bit de dépassement du deuxième compteur d'écriture. Le septième bloc de commande est alors apte, à chaque fois qu'une N 47 8 13 14 15 instruction de transmission est stockée dans le champ utile de l'étage d'entrée de la troisième mémoire, à transférer le contenu du champ auxiliaire du deuxième registre élémentaire associé à l'indication de garde 30 correspondante, dans le deuxième champ supplémentaire de l'étage d'entrée de cla troisième mémoire. Le huitième bloc de commande comporte alors des deuxièmes moyens de comparaison supplémentaires aptes à comparer le contenu du deuxième champ supplémentaire avec la ne bases à valeur courante du bit de dépassement du deuxième compteur de lecture. on 535% una sam a Eà a éncore, noces, deuxièmes el moyens a del na comparaison

... 17

supplémentaires peuvent comporter une porte logique NON OU The second of th Enforce qui D'autres e avantages e let caractéristiques des l'invention e la description détaillée de modes de mise en 10 5 de coeuvre et de réalisation, nullement limitatifs, et des dessins annexés, sur lesquels to the " peer more recorded and a better the order purpose on and and and relatifigure-1 illustre schématiquement-l'architecture générale in the the first in landing figures 2 in illustre, splus ment adétail mais schématiquement le coeur du processeur de la figure 1; Leaves - la enfigure and fillustre emplusivent détaile mais estion des instructions de chargement dans un registre de données mémorisées, selon Show the l'invention; for the parameter abounded carefully are se la la la relatifs à des modes de mise en oeuvre du procédé de gestion d'instructions un la la de chargement de données mémorisées pselonal'invention; en was and the state of the last figure it 8 still ustre applusing an adétail remais schématiquement un mode de réalisation permettant en outre une gestion 20 mar des instructions gardées, selon l'invention; en la la servició de la les rafigures. 95 à 0430 illustrent a schématiquement des organigrammes relatifs à des modes de mise en oeuvre de la gestion d'instructions gardées, selon l'invention, et management and the state of t 25: 25: spécifiquement les quatre mémoires FIFO présentes dans l'unité de traitement arithmétique et logique, ainsi que leur interdépendance temporelle, en association avec le registre des indications de garde. Sur la figure 1, la référence PROC désigne un processeur, par exemple un processeur de traitement numérique du signal. et margin contenant les instructions de programme. Cette mémoire-programme est adressée par un contrôleur de mémoire PMC qui coopère avec le coeur CR ារួមមេ ស្រុកស្រីក្រុមស្រង់ក្រុងស្រុំ du processeur. Berger CR adu processeur dialogue, également avec un 35% de contrôleur de mémoire DMC qui contrôle l'accès à une mémoire de

données DMM, par exemple deux bancs de mémoire SRAM.

Sur la figure 2, on voit que le coeur CR du processeur comporte

une unité centrale CU et plusieurs unités de traitement, ici trois unités de traitement distinctes DU; AU et GU.

Dans le mode de réalisation illustré sur la figure 2, on ne prend pas en compte le fait que les instructions puissent être gardées. On ne décrira donc, en référence aux figures 2 à 7, uniquement que la gestion des instructions de chargement dans un registre des données mémorisées.

L'unité de contrôle CU est l'unité maîtresse du système. En

général, elle gère toutes les activités de commande. Plus particulièrement, elle délivre au contrôleur de mémoire PMC des adresses programme, et répartit les instructions correspondantes vers les différentes unités de traitement. Plus précisément, l'unité centrale CU comporte une interface PFAL/avec le contrôleur de mémoire PMC, qui effectue notamment un formatage des instructions en instructions prêtes à être décodées. Les instructions sont décodées ensuite dans un décodeur DCD qui transforme pour chaque instruction machine en une con plusieurs micro-instructions qui pourront être traitées par les différentes unités de traitement. Dans la suite du texte, à des fins (de simplification) on désigne sous le vocable "d'instruction" une micro-instruction par les différentes unités de l'altre de vocable "d'instruction" une micro-instruction par les différentes unités de traitement.

Enfin, un moyen d'aiguillage DISP ("Dispatcher" en langue anglaise) envoie les instructions générées par le décodeur aux unités de traitement auxquelles sont destinées ces instructions.

Les unités de traitement du coeur de processeur comportent ici 25 de une unité arithmétique et logique DU qui exécute la plupart des opérations arithmétiques.

souhaite stocker (charger) des données mémorisées Cesoregistres Rx dans lesquels on peuvent être au nombre de 16; par exemple:

Il est par ailleurs prévu une unité d'adressage AU qui effectue les calculs d'adresses effectives nécessaires pour adresser les opérandes dans la mémoire. Cette unité AU contient tous les registres de pointage Px nécessaires à cette tâche.

à l'unité centrale CUmagne apply dimpagnement de la presidente L'unité de traitement DU comporte un moyen de mémoire du type 20 Nov2010 HS 2010 FIFO composé, comme on le verra plus en détail ci-après, d'une première mémoire RLDQ destinée à stocker des instructions de chargement et une . 5 m deuxième mémoire DIDQ destinée à stocker toutes les autres instructions cette unité DU, en particulier des instructions opératives Property DUOPx impliquant au moins un registre Rx. The Control of the Control And the second of the control of the mémoire DMI qui contient notamment une autre mémoire du type FIFO, 10 10 LDQ, destinée à recevoir et à stocker temporairement les données contenues dans les bancs de mémoire SRAM. 16 et a. 10 mil Par ailleurs, au même titre que l'unité DU comporte un moyen de e a mémoire du type FIFQ, chaque autre unité de traitement, à savoir l'unité AU et l'unité GU, contient également un moyen de mémoire du type FIFO, 15 15 référencé AIDQ, et destiné à stocker les instructions destinées à ces unités pur tura un la **de traitement** poèse qui apade el barre abèbe el la turba a una la retru and an anisonomOn serréfère maintenant plus particulièrement à la figure 3, pour a est si la Médécrire de mécanisme selon l'invention de gestion des instructions de A titre d'exemple, une instruction de chargement dans un registre Rx d'une donnée mémorisée s'écrit : mandi and the first the material LDs Rxs [Py] and the second community of the material second Cette notation représente une instruction signifiant que l'on doit charger (stocker) dans le registre Rx la donnée mémorisée dans la mémoire DMM à l'adresse fournie par le contenu du registre de pointage Py. TO THE RESIDENCE L'unité centrale qui reçoit une telle instruction la scinde en une s instruction d'élaboration de la donnée mémorisée, destinée à l'unité d'adressage AU, et en une instruction de chargement destinée à l'unité DU. L'instruction d'élaboration va permettre à l'unité AU, via le and la lineau contrôleur de mémoire DMC, de lireala donnée mémorisée à l'adresse a partie fournie par le pointeur Pyjet de transférer cette donnée mémorisée à la 31/26/19/21 13 L 80 3530

in the little of the L'instruction deschargements LDRx, qui s'écrit Rx=LDQ, va 35 35 permettre à l'unité DU de charger (stocker) dans le registre Rx le contenu

mémoire LDQ.



The first ede la mémoire LDQ, struttur entire, encor est est entire.

Une instruction opérative DUOPx impliquant un registre Rx est consistent dans ce cas à consistent par exemple une instruction du type Rx=Rx+1; consistent dans ce cas à consistent dans ce cas à consistent de la consistent d'une unité le contenu du registre $Rx_{1,4}$ $x_{2,2}$ $x_{3,4}$ $x_{3,$

Dans la suite du texte, la référence DUOpx désigne une instruction opérative, et x désigne le numéro du registre Rx impliqué dans 19/10 1994 cetter instruction opérative. (A. 19) only remains the large contra Comme indiqué ci-avant, le moyen de mémoire associé à l'unité DU comporte une première mémoire du type FIFO, référencée RLDQ, et une deuxième mémoire du type FIFO; référencée DIDQ.: La deuxième mémoire DIDQ est destinée à stocker toutes les instructions opératives INST destinées à l'unité DU, et notamment des instructions DUOpx, Table : Comporte plusieurs étages (ici quatre), référencés: LETG1-LETG4. Chaque étage: LETGi comporte un and the less champ utile LCHUipourde stockage d'une instruction INST. L'écriture et la lecture dans la deuxième mémoire DIDQ, sont gérées par un pointeur 20 d'écriture PE2 et un pointeur de lecture PL2. Une instruction INST qui aurait été estockée dans el'étage d'LETG1; va alors se propager séquentiellement depuis l'étage d'entrée LETG1 de la mémoire jusqu'à Vétage de sortie LETG4, ou étage de tête, de la mémoire DIDQ. Bien entendu si à un instant donné, la FIFO est partiellement remplie ou vide, 1 25 % i une instruction pourra être stockée directement au premier étage disponible, par exemple LETG2, ou LETG3 ou bien LETG4, comme cela est bien connu de l'homme du métier. Ainsi au sens de la présente 5.465 * BE invention l'étage d'entrée n'est donc pas nécéssairement l'étage LETG1. 1 61 And 1976 15 1 19 Chaque instruction de chargement LDR x impliquant un registre 1930 de la Rx est stockée dans la première mémoire RLDQ. L'écriture et la lecture dans cette première mémoire RLDQ sont gérées également de façon classique par un pointeur d'écriture PE1 et un pointeur de lecture PL1. Les deux mémoires REDQ et DIDQ ont, dans l'exemple décrit ici, la même noter au profondeur (taille) égaleià quatre. Il convient également de noter que les 2003521 > 20 pointeurs PE1 et PL1 associés à la mémoire RLDQ sont décorrélés (c'est-



₩ 21

	à-dire commandés de façon indépendante) par rapport aux pointeurs PE2
State Co.	et:PL2 associés à la mémoire DIDQ. 16 1000 1000 1000
· · · · · · · · · · · · · · · · · · ·	Outre ces deux mémoires de type:FIFO, le processeur comporte
•	des premiers moyens de commande MCTL1, par exemple incorporés au
565 C	sein de l'unité DU. Ces premiers moyens de commande vont permettre,
lows, as	comme on va le voir plus en détail ci-après, de délivrer dans certains cas
	les instructions opératives DUOpx beaucoup plus rapidement aux étages
್ ಸಿಪಿ	d'exécution pipelinés/de l'unité DU. Margon son :
	Plus précisément, ces premiers moyens de commande MCTL1
10	vont extraire de la mémoire DIDQ une instruction opérative DUOpx ayant
30 . 1. 4	atteinte la tête LETG4 de cette mémoire DIDQ si aucune instruction de
26 2 13.A	chargement LDRx temporellement plus ancienne destinée à modifier la
an Am cá	valeur du registre Rx associé à cette instruction opérative DUOpx, n'est
FOR THE PROPERTY	présente dans la mémoire REDQ à music de fort la contraction de
15	Et, ces premiers moyens de commande MCTL1 vont len présence
Parisa .	d'une "telle "instruction de chargement LDRx, temporellement plus
i i i i i i i i i i i i i i i i i i i	ancienne stockée dans la première mémoire RLDQ, extraire l'instruction
30 n il 13	opérative DUOpx des que l'instruction de chargement LDRx a été extraite
. D . F . O L	de la mémoire REDQLI enomina soréinour al la la come la mi
20	no 1991 1910 Dans un mode de réalisation, tel que celui illustré sur la figure 3,
112000	les premiers moyens de commande MCTL1 comportent un premier
3 9 p 30 1	compteur de lecture RDCTR1, circulaire, incrémenté à chaque fois qu'une
1."	instruction, quelle qu'elle soit, est extraite de la deuxième mémoire
elar e se se i	ODIDQ: Well toling to the LATE of the early to the area of the early and the early to
PSF 25'	Les moyens MCTL1 comportent par ailleurs un premier
:::	compteur d'écriture WRCTR1', circulaire, incrémenté à chaque fois qu'une
	instruction, quelle qu'elle soit, est stockée dans la deuxième mémoire
	"DIDQ: in the first and in the last the Michigan Council and the second section of the sectio
· 4001	de de la Dans l'exemple décrit ici, les deux compteurs ont une taille
÷ 30 ÷	identique. Cette taille identique est un nombre de bits nécessaire à coder
4 .2 /	en binaire la profondeur de la deuxième mémoire DIDQ. Dans l'exemple
23 - C 27 - C	illustré, puisque la mémoire DIDQ a une profondeur de quatre, les
ar drive d	compteurs sont des compteurs sur deux bits, c'est-à-dire que la valeur
154. St. 1	courante WRVL1 du premier compteur d'écriture WRCTR1 et la valeur
135 Part	courante RDVL1 du premier compteur de lecture RDCTR1 sont des mots

de deux bits. Bien entendu la profondeur de la FIFO peut être plus importante.

Par ailleurs, à chaque premier compteur est associé un bit de dépassement (WROVFEL pour le premier compteur d'écriture et valeur à chaque fois que le premier compteur correspondant revient à sa valeur à chaque fois que le premier compteur correspondant revient à sa valeur ainitiale. En d'autres termes, au rythme des fenêtres circulaires successives de comptage, le bit de dépassement prend successivement les valeurs 0 et 1.

Les premiers moyens de commande MCTL1 comportent, par ailleurs, quatre blocs de commande MC00-MC13 dont on va maintenant décrire plus en détail la fonctionnalité en se référant aux figures 4 et suivantes.

Le premier bloc de commande MC00 est apte, à chaque fois qu'une instruction de chargement LDRx concernant le registre Rx, est stockée dans la première mémoire RLDQ (étape 400, figure 4), à stocker la valeur courante WRVL1 du premier compteur d'écriture WRCTR1 dans le champ principal LCHx du premier registre élémentaire RTx associé au registre Rx: Par ailleurs, le bit LBBx (deuxième champ auxiliaire) du 30 premier registre élémentaire RTx, initialement à 0, prend la valeur 1 pour indiquer qu'une instruction/de chargement LDRx a été effectivement

Enfin, la valeur courante du bit de dépassement WROVFL1 du suit de premier compteur décriture est stockée dans le premier champ auxiliaire 12 35 avec (un bit) LBAx du premier registre élémentaire RTx.

stockée dans la mémoire RLDQ (étape 410).

23 1.5

He says that a partial LCHx du premier registre élémentaire RTx, dont la taille en bit est égale à la profondeur de la première mémoire (ici deux bits); représente la position symbolique" de la dernière instruction de chargement LDRx écrite dans 1, 5 la mémoire RLDQ. Le premier champ auxiliaire LBAx, destiné à recevoir la valeur courante du bit de dépassement du premier compteur d'écriture, permet de prendre en compte et de gérer les positions éventuelles respectives des pointeurs dans des fenêtres circulaires de comptage différentes. Fig. J. mag.

Dans l'étape 420, on va maintenant déterminer si l'instruction de chargement LDRx est toujours présente dans la mémoire RLDQ, ou bien si me me le deuxième bloc de commande MC11 et va maintenant être décrit plusien détail en se référant plus particulièrement à la figure 5 annunt de grant and x 100 c

10

Basiquement, le deuxième bloc de commande MC11 comporte , or $15
m m^{\circ}$ des premiers moyens de comparaison MC100 qui vont comparer le contenu du champ principal LCHx du premier registre élémentaire RTx avec la valeur courante RDVL1 du premier compteur de lecture. Cette comparaison va permettre de déterminer si l'instruction LDRx est toujours 20 présente ou a quitté la mémoire RLDQ de la constitue de la mémoire RLDQ

Ceci étant, afin de prendre en compte les effets des fenêtres circulaires de comptage, il est prévu que le deuxième bloc de commande MC11 comporte également des premiers moyens de comparaison auxiliaires, formés ici d'une première porte logique NON OU EXCLUSIF (XNOR), référencée PLO10. Cette porte logique est destinée à élaborer un premier signal logique SW10 à partir du contenu du premier champ auxiliaire LBAx et de la valeur du bit de dépassement RDOVFL1 du the lights premier compteur de lecture, and the lateral of the fight

En d'autres termes, ce signal logique SW10 indique si le pointeur 30 : 13 de lecture PL2 est dans la même fenêtre circulaire que la position de la dernière instruction LDRx affectant le registre Rx.

On teste alors, dans l'étape 4200, la valeur du premier signal logique SW10. Si ce signal logique est à 0, on teste, dans l'étape 4220, si la yaleur du mot contenu dans le champ principal LCHx est strictement 35 supérieure à la valeur courante RDVL1 du premier compteur de lecture. Si



tel est le cas, alors cela signifié que l'instruction LDRx a quitté la mémoire RLDQ (étape 4230) et on met alors le bit LBBx à 0 (étape 430, figure 4).

Si, par contre, la valeur du mot contenu dans le champ principal LCHx n'est pas strictement supérieure à la valeur courante RDVL1 du premier compteur des lecture, alors cela signifie que l'instruction de chargement EDRx est toujours présente dans la mémoire RLDQ (étape 4240). Dans ce cas, le bit LBBx est maintenu à 1.

Si, par contre, dans l'étape 4200, le signal logique SW10 est à 1, les premiers moyens de comparaison MC100 vont tester si la valeur l'10 de l'ecurante du premier compteur de lecture RDVL1 est strictement supérieure au mot contenu dans le champ principal LCHx du premier registre élémentaire RTx (étape 4210).

Si tel est le cas, cela signifie que l'instruction de chargement l'instruction de chargement LDRx a quitté la mémoire RLDQ (étape 4230). Dans ce cas, le bit LBBx est mis à 0 (étape 430, figure 4).

de chargement LDRx est toujours présente dans la mémoire RLDQ.

particulièrement aux figures 6 et Eules traitements effectués lorsqu'une 20 instruction opérative DUOPx est stockée dans le champ utile LCHU1 de l'étage d'entrée LETG1 de la mémoire DIDQ, ainsi que l'élaboration de son critère d'extraction lorsque cette instruction opérative DUOPx a atteinte la tête de la mémoire DIDQ, c'est-à-dire lorsqu'elle est présente dans le champ utile LCHU4 de l'étage de sortie LETG4.

Afin de ne pas perturber le bon synchronisme temporel des traitements, à chaque fois qu'une instruction opérative DUOPx est stockée dans la mémoire DIDQ, et si simultanément une instruction de chargement n'est pas stockée dans la mémoire RLDQ, on stocke également dans la mémoire RLDQ une instruction non-opérative NOP. Comme cela est connu de l'homme du métier, une instruction NOP ne modifie pas le contenu des registres architecturaux du coeur de processeur.

ni 350 du a lege 🔻 OPar ailleurs, à chaque fois qu'une instruction opérative DUOPx

est stockée dans la mémoire DIDQ, par exemple dans le champ utile LCHU1 de l'étage LETG1, on lui associe une étiquette qui correspond au contenu du registre élémentaire RTx correspondant. 15 1 1 1 15 1 1 1 1 Et, cette étiquette va continuellement rêtre attachée à 15 d'instruction opérative DUOPx dans la mémoire DIDQ. and the second Engratique (figure 3), l'étiquette associée à une instruction opérative DUOPx est formée dans chaque étage de la mémoire DIDQ par and the supplementaire LDtag, - un deuxième champ supplémentaire (1 bit) AuxLD, et 10 - un troisième champ supplémentaire (1 bit également) ActLD. Lorsqu'une, instruction opérative, DUOPx est stockée dans l'étage de tête de la mémoire DIDQ (étape 600; figure 6), le troisième bloc A la commande MC12 transfère (étape 61) figure 6) a contenue de la contenue de contenue de contenue de la contenue d supplémentaire LDtag, THE A ST CONTROL OF THE STATE O 1948 - 1948 - 1948 le contenu du premier champ auxiliaire LBAx dans le deuxième state champ supplémentaire AuxLD, et, it was related to a server, to the w. and the management of the contenual dual deuxième champ, auxiliaire LBBx dans le and the same troisième champ supplémentaire ActLD. And transmissé in some 20 Maria Et, le contenu de cette étiquette va rester inchangé lors de la propagation de l'instruction DUOPx à laquelle elle est rattachée, jusqu'à ce que cette instruction atteigne la tête de la mémoire DIDQ. Le proposition de la comment-là; le quatrième bloc de commande MC13 va tester (étape 620) la présence ou l'absence d'une instruction de chargement LDRx temporellement plus ancienne dans la mémoire RLDQ. - 25 Si une instruction de chargement LDRx est présente, alors le troisième bloc de commande MC12 va attendre, pour extraire l'instruction opérative de la mémoire DIDQ, que l'instruction de chargement LDRx ait tion de été extraite de la mémoire RLDQ: (étape: 640). 1930 Line Bland MSi; par contre, aucune instruction LDRx n'est détectée dans la mémoire RLDQ, le troisième bloc de commande MC12 va extraire immédiatement l'instruction opérative DUOPx de la tête de la mémoire of the reservable QIDQ (étape 630). Here we also well seem the content of the content of Et, c'est le quatrième bloc de commande MC13 qui va élaborer le 235. critère d'extraction de cette instruction opérative DUOPx ayant atteinte la



建氯化甲基甲基磺胺 化邻苯酚 tête de la deuxième mémoire. The state of the Pour déterminer si une instruction de chargement LDRx est présente dans la mémoire RLDQ; le bloc MC13 va tout d'abord tester la valeur du bit ActLD de l'étiquette attachée à l'instruction opérative .577 13 5 DUOPx (étape 6200; figure 7)? The three dear 136 35 The Millian Since bit ActLD est égal à 0, alors cela signifie qu'aucune with the distriction LDRx temporellement plus ancienne que l'instruction DUOPx n'est présente dans la mémoire RLDQ (étape 6210). Dans ce cas, l'instruction opérative DUOPx peut être immédiatement extraite de la 10 10 mémoire DIDQ (étape 630, figure 6). The long with the late of the late o n' and problem to see Si; par contre, le bit ActLD est à 1, alors il convient basiquement de comparer le contenu du premier champ supplémentaire LDtag avec la valeur courante RDVL1 du premier compteur de lecture. C'est le rôle des deuxièmes moyens de comparaison MC300. une valeur RDVL pustrictement supérieure au premier champ a definition of supplémentaire LDtagfu au continuo of monasse auc Tentre de la Ceci étant, là encore, il convient de prendre en compte les effets sides fenêtres circulaires de compragemenque que par sons sons SPORT W 20 C'est la raison pour laquelle il est prévu que le bloc de commande MC13 comporté des premiers moyens de comparaison supplémentaires, formés icia d'une deuxième porte logique NON OU EXCLUSIF, référencée PLO30, et apte à comparer le bit AuxLD avec le bit de dépassement RDOVFL1 du premier compteur de lecture. Le résultat de 25: " acette comparaison fournit un deuxième signal logique SW30.Ce signal ा अस्त करें SW30 indique si le pointeur de lecture PL1 de la première mémoire RLDO est dans la même fenêtre circulaire que la position de la dernière instruction de chargement LDRx, ayant potentiellement un effet sur l'instruction opérative:DUOPx: All the second of the secon 30 m and Si le signal SW30 est à 1, alors l'instruction opérative DUOPx pourra être transmise si la valeur RDVL1 est supérieure à LDtag (étape Mr. 1.35 1.6230, figure 7) a second continue below to the second below to the

Dans le cás contraire, cela signifie qu'une instruction LDRx est toujours présente dans la première mémoire RDLQ (étape 6250). Et, il 35 milles convient d'attendre avant d'extraire l'instruction opérative DUOPx de la

tête de la mémoire DIDQ.

Si le signal SW30 est à 0, alors on pourra extraire l'instruction opérative DUOPx si la valeur du mot LDtag est strictement supérieure à la valeur du premier compteur de lecture RDVL1 (étape 6240).

Dans le cas contraire, il conviendra d'attendre (étape 6250).

continuity of a size ofthe

Matériellement, les différents blocs de commande MC10-MC13 peuvent être réalisés sous la forme d'un circuit intégré en utilisant des coutils de synthèse logique.

Dans le cas où une instruction opérative DUOpxy implique plus d'un registre, par exemple 2 registres Rx et Ry, le troisième bloc de commande M12 va, lorsque ladite instruction opérative est stockée dans la deuxième mémoire DIDQ, sélectionner parmi tous les premiers registres élémentaires RTx, RTy associés à tous les registres Rx, Ry impliqués dans ladite instruction opérative DUOPxy, celui correspondant à la dernière (c'est-à-dire temporellement la plus jeune) instruction de chargement modifiant l'un au moins de ces registres impliqués.

Et, c'est alors le contenu du champ principal du premier registre élémentaire sélectionné, par exemple RTx, qui va être transféré dans le premier champ supplémentaire LDTag de l'étage d'entrée de la mémoire 20 de DIDQ de supplémentaire l'étage d'entrée de la mémoire

Matériellement, les différents blocs de commande MC00-MC13 peuvent être réalisés sous la forme d'un circuit intégré en utilisant des outils de synthèse logique de commande MC00-MC13

oeuvre très simple du procédé selon l'invention. Il convient de noter également que la profondeur de la mémoire RLDQ peut être différente de celle de la mémoire DIDQ.

Par ailleurs tout ce qui vient d'être décrit pour un registre Rx, est effectué en réalité en parallèle simultanément pour tous les registres.

Jans le mode de réalisation illustré sur la figure 8, on suppose maintenant que le fonctionnement du processeur incorpore le principe des instructions gardées. Les instructions gardées peuvent être déstinées à des unités de traitement différentes de l'unité DU, par exemple l'unité AU ou l'unité GU. Elles peuvent être également destinées à l'unité de traitement DU. Et, parmi les instructions gardées destinées à l'unité de traitement



. .

DU, on trouve des instructions gardées de chargement dans un registre de The Control of State of the Control man barrer of wh रक अर अर अर अप अप । अप Le moyen de mémoire de l'unité DU comporte en outre, comme article sur le verra plus en détaile ci-après, une troisième mémoire SNDGQ 4 : 5 - 4 : 10 destinée à stocker des instructions de transmission et une quatrième all de l'an imémoire RCGQ destinée à stocker toutes des valeurs d'indications de sur si somigarde associées aux instructions de chargement gardées, et issues du registre des indications de garde GR. un suit autilité de la laire har et parte au mit tang L'unité DU comporte le registre des indications de garde GR. Ce 10 10 de l'registre stocke les valeurs courantés de toutes les indications de garde, qui 112 And the sont par exemple authombre de seize. We the word (1961) and the net the light a collection of the Onerappellesicioqu'une instruction gardée, signifie que cette restriction estruction estraffectée d'une indication de garde, prise parmi les seize and so indications de garde du registre GR, et, en fonction de la valeur de cette 15 mai indication de garde l'instruction sera ou non exécutée. false de la communicación de la figure 9, pour un de la principal décrire un mécanisme particulièrement avantageux de géstion de ces egato recoministructions. gardées, selonolinvention. acidomente agree a life 14 dinterent de l'Al Lorsqu'une instruction gardée est délivrée au moyen de mémoire 320 A. AIDQ d'une unité de traitement, par exemple l'unité AU ou l'unité GU, qui ne détient pas le registre d'indications de garde GR; cette délivrance provoque la délivrance au moyen de mémoire de l'unité de traitement DU, qui contient le registre des indications de garde, d'une instruction dite "de transmission" destinée à faire transmettre à l'unité AU ou GU la valeur de 25 · l'indication de garde associée à ladite instruction gardée qui a été délivrée 10 Description a l'unité AU ou GU segment de la stellante de present Par ailleurs, lorsqu'une instruction de chargement gardée est délivrée à l'unité DU; une instruction de transmission SNDGx destinée à faire transmettre à la quatrième mémoire REGQ la valeur de l'indication 19. 30 de garde associée à ladife instruction gardée, est également stockée dans テース ar in cola mémoire SNDGQ. t r in 内 for h カック こうはん カック かんかっこうけん The Control of Particontres toutes autres instruction gardée, par exemple une mes me instruction opérative gardée, délivrée à l'unité DU, est stockée dans la mémoire DIDQ et ne donne pas lieu à la délivrance d'une instruction de

Broy35, and the transmission SNDGx and the transmission of the contract of the

. 29 38.

3 3 **10** 3

111000

25

35

proposition de production sur la figure 9, la référence SNDGx désigne une telle instruction de transmission, et x désigne le numéro de l'indication de garde Gx associée à l'instruction gardée qui a été délivrée à l'une des unités AU ou GU, ou bien associée à une instruction de chargement gardée qui peut être celle référencée LDRx (impliquant le registre Rx), ou bien référencée el la la LDRyi (impliquant un registre: Ry). Dans la suite du texte, à des fins de simplification, on supposera que l'indication Gx est associée le cas échéant à l'instruction LDRx. de sour at at la laboration part

La troisième mémoire SNDGQ comporte plusieurs étages (ici quatre), référencés ETG1-ETG4. Chaque étage ETGi comporte un champ utile CHUi pour le stockage d'une instruction de transmission SNDGx. L'écriture et la lecture dans la troisième mémoire SNDGQ sont gérées par un pointeur d'écriture PE3 et un pointeur de lecture PL3. Une instruction mession since de transmission SNDGx qui aurait été stockée dans l'étage ETG1, va alors se propager séquentiellement depuis l'étage d'entrée ETG1 de la mémoire jusqu'à l'étage de sortie ETG4, ou étage de tête, de la mémoire SNDGQ. was the a Bien entendu sità un instant donné, la FIFO est partiellement remplie ou vide, une instruction pourra être stockée directement au premier étage and the disponible, par exemple ETG2, ou ETG3 ou bien ETG4, comme cela est 200 bien connu de l'homme du métier. Ainsi au sens de la présente invention l'étage d'entrée n'est donc pas nécéssairement l'étage ETG1.

The transfer that the Lat deuxième mémoire DIDQ est destinée à stocker toutes les autres instructions INST indestinées à l'unité DU, à l'exception des instructions de chargement LDRx, et notamment les instructions dites "modificatrices", c'est-à-dire destinées à modifier la valeur d'une indication de garde stockée dans le registre des indications de garde GR. Une instruction modificatrice destinée à modifier la valeur de l'indication de garde portant le numéro x, est référencée dans la suite du texte par TO STATE OF THE WAR WITH THE STATE OF THE STATE OF that : GMIx.

1.30 and the following Les deux mémoires SNDGQ et DIDQ ont, dans l'exemple décrit ici, la même profondeur (taille) égale à quatre. Il convient également de se la mémoire sont en les pointeurs PE3 et PL3 associés à la mémoire SNDGQ sont ci la cili de décorrélés (c'est-à-dire commandés de façon indépendante) par rapport di parter maux pointeurs PE2 et PL2 associés à la mémoire DIDQ not de

Le processeur comporte des deuxièmes moyens de contrôle

MCTL2, par exemple incorporés au sein de l'unité DU. Ces deuxièmes moyens de contrôle vont permettre, comme on va le voir plus en détail ciaprès, de délivrer les instructions de transmission SNDGx beaucoup plus rapidement aux étages d'exécution pipelinés de l'unité DU, et par conséquent au registre des indications de garde GR, de façon à permettre la délivrance de la valeur de l'indication de garde associée à l'instruction gardée qui est en attente d'exécution de garde associée à une autre unité de traitement, par exemple l'unité GU, ou bien moterne de l'unité GU de l'unité

Et, ces moyens de commande MCTL2 vont, en présence d'une

de la line de l'instruction modificatrice dGMIX temporellement plus ancienne de la line de l'instruction de

20 transmission SNDGx dès que l'instruction modificatrice GMIx a tété a service extraite de la mémoire DIDQ. transporte au a

Dans un mode de réalisation, tel que celui illustré sur la figure 9, les deuxièmes moyens de commande MCTL2 comportent un deuxième compteur de lecture RDCTR2; circulaire, incrémenté à chaque fois qu'une 25 painstruction, quelle qu'elle soit, est extraite de la deuxième mémoire DIDOs par la grande de la company de la compteur de le compteur de la com

de la compteur d'écriture WRCTR2, circulaire, incrémenté à chaque fois qu'une instruction, quelle qu'elle soit, est stockée dans la deuxième mémoire DIDQ.

identique. Cette taille identique est un nombre de bits nécessaire à coder de la deuxième mémoire DIDQ. Dans l'exemple (1944) à cillustré, puisque la mémoire DIDQ a une profondeur de quatre, les

deuxièmes compteurs sont des compteurs sur deux bits, c'est-à-dire que la

(d) 31

valeur courante WRVL2 du deuxième compteur d'écriture WRCTR2 et la waleur courante RDVL2 du deuxième compteur de lecture RDCTR2 sont des mots de deux bits. Bien entendu la profondeur de la FIFO peut être plus importantes 🧓 Selection to property in the second of the s 31.50 research se Par ailleurs, à chaque deuxième compteur est associé un bit de dépassement (WROVFL2 pour le compteur d'écriture et RDOVFL2 pour le compteur de lecture). Ce bit de dépassement change de valeur à chaque fois que le compteur correspondant revient à sa valeur initiale. En d'autres termes, au rythme des fenêtres circulaires successives de comptage, le bit de dépassement prend successivement les valeurs 0 et 1. 10 25 111 254 Outre le compteur d'écriture et le compteur de lecture, les moyens de commande MCTL2 comportent un ensemble de registres élémentaires GT0-GT15, respectivement associés à l'ensemble des indications de garde GQ-G15. Ainsi, le registre élémentaire GTx est ALCOHOL: 15 de massocié à l'indication de garde Gx portant le numéro x. 2007 Chaque registre élémentaire GTx comporte un champ principal CHx, ainsi qu'un premier champ auxiliaire BAx et un deuxième champ auxiliaire: BBx., On reviendra plus, en détail sur la signification et la fonction de ces champs auxiliaires qui, dans l'exemple décrit ici, sont des of 20 of the champs a unbit proposition of the problem of the control of the cont Les moyens de commande MCTL2 comportent, par ailleurs, quatre blocs de commande MC0-MC3 dont on va maintenant décrire plus , it is len détail la fonctionnalité en se référant aux figures 10 et suivantes. en la commande MC0 est apte, à chaque fois qu'une instruction GMIx modifiant la valeur de l'indication de garde Gx, est stockée dans la deuxième mémoire DIDQ (étape 40, figure 10), à stocker la valeur courante WRVL2 du compteur d'écriture WRCTR2 dans le champ principal CHx du registre élémentaire GTx associé à l'indication de garde Gx. Par ailleurs, le bit BBx (deuxième champ auxiliaire) du registre élémentaire GTx, initialement à 0, prend la valeur 1 pour indiquer qu'une instruction modificatrice GMIx a été effectivement stockée dans la habe to had mémoire DIDQ (étape 41). As happarents to a series a fauta giorni de la field de Enfin, la valeur courante du bit de dépassement WROVFL2 du compteur d'écriture est stockée dans le premier champ auxiliaire (un bit)

ni (35), z ni zaBAxudu registre élémentaire GTX. nonz znach uzo samplé anna

En fait, la valeur stockée dans le champ principal CHx du toche de companie elémentaire GTx, dont la taille en bit est égale à la profondeur de la deuxième mémoire (ici deux bits), représente la position "symbolique" obtant de la dernière instruction modificatrice GMIx écrite dans la mémoire DIDQ. Le prémier champ auxiliaire BAx, destiné à recevoir la valeur courante du bit de dépassement du compteur d'écriture, permet de prendre en compte et de gérer les positions éventuelles respectives des pointeurs dans des fenêtres circulaires de comptage différentes.

Dans l'étape 42,4on và maintenant déterminer si l'instruction de 10 de de 10

Basiquement, le sixième bloc de commande MC1 comporte des 15 marche deuxièmes moyens de comparaison MC10 qui vont comparer le contenu du anno a ser champ principal CHx du registre élémentaire GTx avec la valeur courante RDVL2 du compteur des lectures Cettes comparaison vas permettre de 15 marche sette déterminer six l'instruction GMIx sest toujours présente ou a quitté la mémoire DIDQ Miss adornes si abilité de 10 miss au comparaison de 10 miss au comparaison de 10 miss adornes si abilité de 10 miss au comparaison de 10 miss au comparaison de 10 miss adornes si abilité de 10 miss au comparaison de 10 miss adornes si abilité de 10 miss au comparaison de 10 miss adornes si abilité de 10 miss adornes si abilité de 10 miss adornes si adornes si abilité de 10 miss adornes si adornes si abilité de 10 miss adornes si adorn

Ceci étant, afin de prendre en compte les effets des fenêtres circulaires de comptage, il est prévu que le sixième bloc de commande MC1 comporte également des deuxièmes moyens de comparaison auxiliaires, formés ici d'une première porte logique NON OU EXCLUSIF (XNOR), référencée PLO1. Cette porte logique est destinée à élaborer un premier signal logique SW1 à partir du contenu du premier champ auxiliaire BAx et de la valeur du bit de dépassement RDOVFL2 du compteur de lecture que le compteur de le compteur de lecture que le compteur de le compteur de lecture que le compteur de lecture que le compteur de le

de lecture PL2 est dans la même fenêtre circulaire que la position de la dernière instruction GMIx affectant l'indication de garde Gx.

On teste alors, dans l'étape 420, la valeur du premier signal logique SW1. Si ce signal logique est à 0, on teste, dans l'étape 422, si la valeur du mot contenu dans le champ principal CHx est strictement supérieure à la valeur courante RDVI 2 du compteur de lecture. Si tel est le cas, alors cela signifie que l'instruction GMIx a quitté la mémoire DIDQ

ξξ 33

(étape 423) et on met alors le bit BBx à 0 (étape 43, figure 10). Si, par contre, la valeur du mot contenu dans le champ principal CHx n'est pas strictement supérieure à la valeur courante RDVL2 du compteur de lecture, alors cela signifie que l'instruction modificatrice 5 GMIx est toujours présente dans la mémoire DIDQ (étape 424). Dans ce the second property of the part of the second property of the second 1. Is Si, par contre, dans l'étape 420, le signal logique SW1 est à 1, les moyens de comparaison MC10 vont tester si la valeur courante du compteur de lecture RDVL2 est strictement supérieure au mot contenu dans le champ principal CHx du registre élémentaire GTx (étape 421). Si tel est le cas, cela signifie que l'instruction modificatrice St. William Commence GMIx a quitté la mémoire DIDQ (étape 423). Dans ce cas, le bit BBx est mis à 0 (étape 43, figure 10) saget et a toure a artanima est de Dans le cas contraire, cela signifie (étape 424) que l'instruction · 15 , modificatrice GMIx est toujours présente dans la mémoire DIDQ. On va maintenant décrire plus en détail, en se référante plus particulièrement aux figures 12 et 13, les traitements effectués lorsqu'une instruction de transmission SNDGx est stockée dans le champ utile CHU1 de l'étage d'entrée ETG1 de la mémoire SNDGQ, ainsi que l'élaboration de son critère d'extraction, lorsque cette instruction de transmission . 20 SNDGx a atteint la tête de la mémoire SNDGQ, c'est-à-dire lorsqu'elle est présente dans le champ utile CHU4 de l'étage de sortie ETG4. Afin de ne pas perturber le bon synchronisme temporel des traitements, à chaque fois qu'une instruction de transmission SNDGx est stockée dans la mémoire SNDGQ et que l'on ne stocke pas simultanément une autre instruction dans la mémoireDIDQ, on stocke également dans la mémoire DIDQ une instruction non-opérative NOP. 15 1101. with the state of the Par ailleurs, auchaque fois qu'une instruction de transmission SNDGx est stockée dans la mémoire SNDGQ, par exemple dans le champ utile CHU1 de l'étage ETG1, on lui associe une étiquette qui correspond au contenu du registre élémentaire: GTx2correspondant. il de la regressione Et, cette étiquette giva à continuellement être dattachée à The struction de transmission SNDGx dans la mémoire SNDGQ. En pratique (figure 9), l'étiquette associée à une instruction de 35 agratransmission SNDGx est formée dans chaque étage de la mémoire SNDGQ

Ŷ.

. · 👣

3

÷

. 3

1

the transfer but and public salesees of the contract the
at a final a supplémentaire Sndgtag, when it
- un deuxième champ supplémentaire (1 bit) Auxgmi, et
The last of the control of the champ supplémentaire (1 bit également) Actgmi.
Lorsqu'une instruction de transmission SNDGx est stockée dans
l'étage de tête de la mémoire SNDGQ (étape 60, figure 12), le septième
bloc de commande MC2 transfère (étape 61, figure 12)
le contenu du champ principal CHx dans le premier champ
10 200 Complémentaire Sndgtag, Bradis Bradis Bolifont de la complete de la comple
10 - le contenu du premier champ auxiliaire BAx dans le deuxième
champ supplementaire Kuxgmi, et; 40 - 10 10 10 10 10 10 10 10 10 10 10 10 10
- le contenu du deuxième champ auxiliaire BBx dans le
troisième champ supplémentaire Actgmin de la
Et, le contenu de cette étiquette va rester inchangé lors de la
propagation de l'instruction SNDGx à laquelle elle est rattachée, jusqu'à
ce que cette instruction atteigne la tête de la mémoire SNDGQ.
A ce moment-là, le huitieme bloc de commande MC3 va tester
(étape 62) la présence ou l'absence d'une instruction modificatrice GMIx
temporellement plus ancienne dans la memoire DIDQ
20 20 Si une instruction modificatrice GMIx est présente, alors le
troisième bloc de commande MC2 va attendre, pour extraire l'instruction
de transmission de la mémoire SNDGQ; que l'instruction modificatrice
GMIx ait été extraite de la mémoire DIDQ (étape 64).
tien de la Si, par contre, aucune instruction GMIx n'est détectée dans la
25 mémoire DIDQ, le septième bloc de commande MC2 va extraire
'immédiatement l'instruction de transmission SNDGx de la tête de la
mémoire SNDQ (étape 63).
Et, c'est le huitième bloc de commande MC3 qui va élaborer le
critère d'extraction de cette instruction de transmission SNDGx ayant
atteint la tête de la première mémoire.
Pour déterminer si une instruction modificatrice GMIx est
présente dans la mémoire DIDQ, le bloc MC3 va tout d'abord tester la

35.2 31 32 32 32 Si ce bit Actgmitest égal à 0, alors cela signifie qu'aucune instruction GMIx temporellement plus ancienne que l'instruction SNDGx

valeur du bit Actgmi de l'étiquette attachée à l'instruction de transmission

SNDGx (étape 620, figure 13).

:: 35

n'est présente dans la mémoire DIDQ (étape 621). Dans ce cas, l'instruction de transmission SNDGx peut être immédiatement extraite de la mémoire SNDGQ (étape 63, figure 12). Si, par contre, le bit Actgmi est à 1, alors il convient basiquement de comparer le contenu du premier champ supplémentaire Sndgtag avec la valeur courante RDVL2 du compteur de lecture. C'est le rôle des moyens (a. de comparaison MC30. A prochama a Day abor a reconstruction Et, basiquement, une absence d'instruction GMIx se traduira par une valeur RDVL2 strictement supérieure au premier 10 , supplémentaire, Sndgtag, est, en programment of Ceci étant, là encore, il convient de prendre en compte les effets des fenêtres circulaires de comptage. ٠. ا ١٠٠٠ ا C'est la raison pour laquelle il est prévu que le bloc de commande MC3 comporte des deuxièmes moyens de comparaison supplémentaires, 15 formés ici d'une deuxième porte logique NON OU EXCLUSIF, référencée RLO3, et apte à comparer le bit Auxgmi avec le bit de dépassement RDOVFL2 du compteur de lecture. Le résultat de cette comparaison fournit un deuxième signal logique SW3. Ce signal SW3 indique si le pointeur de lecture PL2 de la deuxième mémoire DIDQ est dans la même fenêtre circulaire que la position de la dernière instruction modificatrice GMIx, ayant potentiellement un effet sur l'instruction de transmission SNDGx DOWN amongs at all the second (Si le signal SW3 est à 1, alors l'instruction de transmission SNDGx pourra être transmise si la valeur RDVL est supérieure à Sndgtag 1. 25. (étape: 623, figure: 7) so so les configures de la Maria de la companie de la com Dans le cas contraire; cela signifie qu'une instruction GMIx est toujours présente dans la deuxième mémoire DIDQ (étape 625). Et, il convient d'attendre avant d'extraire l'instruction de transmission SNDGx de la tête de la mémoire SNDGQ et la contrata de la contrata del contrata de la contrata de la contrata del contrata de la con Si le signal SW3 est à 0, alors on pourra extraire l'instruction de 30 REGIO transmission, SNDGx si la valeur, du-mot Sndgtag est strictement Sancto les supérieure à la valeur du compteur de lecture RDVL (étape 624). and a straight and the part of the contraint of the convergence of the Matériellement, les différents blocs de commande MC0-MC3 2135 peuvent être réalisés, sous la forme d'un circuit intégré en utilisant des

KEN ARTE REDUCEMENT CONT. THE FOLLOWING HIS HER WAS TO USE TO WINE.

L'ar commoutils de synthèse logique, rest has he

10

15

20

25

30

35

All convient de noter également que la profondeur de la mémoire de la mémoire SNDGQ peut être différente de celle de la mémoire DIDQ.

Par ailleurs, tout/ce qui vient d'être décrit pour une indication de substitute de les indications de garde. Substitute en réalité en parallèle simultanément pour toutes les indications de garde.

Sur la figure 14, qui illustre à nouveau les quatre mémoires FIFO selon l'invention, permettant la gestion globale d'instructions selon l'invention, y compris les instructions de chargement de données mémorisées dans un registre, les instructions gardées, et en particulier les instructions de chargement gardées, on voit qu'une instruction de transmission destinée à faire transmettre la valeur de l'indication de garde associée à l'instruction de chargement qui a été stockée dans la mémoire RLDQ, va être délivrée au registre des indications de garde GR. Puis, la valeur correspondante de l'indication de garde va être stockée dans la quatrième mémoire RCGQ.

Bien entendu, comme déjà indiqué ci-avant, dans le cas d'une indication gardée qui a été délivrée à une autre unité de traitement, par exemple l'unité AU ou l'unité GU, la valeur de l'indication de garde associée à ces instructions gardées va être délivrée à cette autre unité AU ou GU.

Par ailleurs, sur la figure 14, les chiffres 1, 2 et 3 situés dans un cercle reprennent les dépendances "temporelles" des trois mémoires RLDQ, DIDQ et SNDGQ.

En d'autres termes, en présence d'une instruction modificatrice de chargement temporellement plus ancienne destinée à modifier la valeur d'au moins un registre associé à une instruction opérative, on extrait ladite instruction opérative de la deuxième mémoire DIDQ seulement après que l'instruction modificatrice de chargement a été extraite de la première mémoire RLDQ.

De même, en présence d'une instruction modificatrice temporellement plus ancienne destinée à modifier la valeur de l'indication de garde associée à une instruction de transmission, on extrait cette instruction de transmission de la troisième mémoire seulement après que l'instruction modificatrice a été extraite de la deuxième mémoire.

<u>رة</u> 37

Par ailleurs, il est bien entendu que certaines instructions de chargement peuvent être non gardées. Dans ce cas, elles sont stockées dans la mémoire RLDQ et il n'y a pas d'instructions correspondantes de transmission stockées dans la mémoire SNDGQ. De plus, dans ce cas, on ne lit pas le contenu de l'étage de sortie de la quatrième mémoire RCGQ.

960

1.1

٠<u>ξ.</u> . .

4

The colon case we condo.

So the lightest appeals are the laws of the colon of the

casolide i biant abiliar de saggement qui com store to the traforance by including it will be builtly on obtained to spikare decided and conform if your contractions decided in the biant and contractions decided in the biant and contractions in t

Blun antendo, con recided della indique on a recidenta della contra della della

A larger of the following of the or offer compacting on the arguments of the contract of the following of the following following the following offer the contract of the cont

The contract of the contract o

Completed SON rather or subscriptive NDICATIONS for a case of an expension of the second solutions.

et l'el de la la la Procédé de gestion d'instructions au sein d'un processeur à 100 100 architecture découplée, le processeur comportant un coeur contenant plusieurs unités de traitement (DU, AU, GU) respectivement associées à des moyens de mémoire du type FIFO pour stocker séquentiellement les Para instructions respectives qui sont destinées aux unités correspondantes, procédé dans lequel la délivrance au coeur de processeur, d'une instruction de chargement d'une donnée mémorisée dans un registre, provoque la délivrance au moyen de mémoire d'une première unité de traitement (DU) nance au d'une instruction de chargement dans ledit registre et la délivrance au 10 moyen de mémoire d'une deuxième unité de traitement (AU) d'une instruction destinée à élaborer ladite donnée mémorisée, l'instruction de chargement n'étant exécutée que lorsque ladite donnée mémorisée a été délivrée Philippi par ladite deuxième unité de traitement, caractérisé par le fait que le moyen de mémoire de la première unité de traitement comporte une pre-15 mière mémoire de type FIFO (RLDQ), et une deuxième mémoire de type harmon de FIFO (DIDQ) distincte de la première, par le fait qu'on stocke chaque instruction de chargement (LDRx) dans la première mémoire (RLDQ) et certaines au moins des autres instructions opératives (INST) destinées à la première unité (DU) dans la deuxième mémoire (DIDQ), par le fait qu'on 20 extrait de la deuxième/mémoire (DIDQ) une instruction opérative impliquant au moins un registre (DUOPx) et ayant atteint la tête (ETG4) de cette deuxième mémoire, si aucune instruction de chargement (LDRx) temporellement plus ancienne destinée à modifier la valeur du ou des registres associés à cette instruction opérative, n'est présente dans la pre-25. 25. mière mémoire et par le fait qu'en présence d'une telle instruction modificatrice de chargément (LDRx) temporellement plus ancienne, on extrait ladite instruction opérative (DUOPx) de la deuxième mémoire (DIDQ) seulement après que l'instruction modificatrice de chargement (LDRx) a sé de la première mémoire (RLDQ). Since le la première mémoire (RLDQ). 30 : 30 : 4 : 2. Procédé selon là revendication 1, caractérisé par le fait qu'à " le chaque fois qu'on stocke dans la deuxième mémoire (DIDQ) une instrucrivere qu'il soit prévu de stocker simultanément dans la première with the last mémoire (RLDQ) une instruction de chargement (LDRx); on stocke dans la

première mémoire (RLDQ) une instruction non-opérative (NOP), par le fait qu'à chaque fois qu'on extrait une instruction (LDRx, NOP) de la première mémoire (RLDQ), on incrémente un premier compteur de lecture (RDCTR1), parele fait qu'à chaque fois qu'on stocke une instruction 18 (INST) dans la première mémoire (RLDQ), on incrémente un premier compteur d'écriture (WRCTR1), par le fait qu'à chaque fois qu'on stocke dans la première mémoire (RLDQ) une instruction de chargement (LDRx), estation mémorise la valeur courante (WRVL1) dus premier compteur d'écriel la log la ture, et par le fait que la détermination du caractère toujours présent de cette instruction de chargement (LDRx) dans la première mémoire prend en compte le résultat de la comparaison de ladite valeur courante mémorisée du premier compteur d'écriture avec la valeur courante du premier en entre la compteur de lecture (RDVL1), authot men ident de estado en en 3. Procédé selon la revendication 2, caractérisé par le fait que le premier compteur d'écriture (WRCTR1) et le premier compteur de lecture (RDCTR1) ont une taille binaire identique égale à la profondeur de la première mémoire (RLDQ) par le fait qu'on associe à chaque premier compteur un bit de dépassement (WROVFL1; RDOVFL1) changeant de valeur à chaque fois que le premier compteur correspondant revient à sa valeur ini-11/20 listiale, par le fait qu'à chaque fois qu'on stocke dans la première mémoire une instruction de chargement (LRDx), on mémorise également la valeur 11 courante du bit de dépassement (WROVFL1) du premier compteur d'écriture, et par le fait que la détermination du caractère toujours présent de micette instruction de chargement (LRDx) dans la première mémoire prend 25 b également en compte le résultat de la comparaison de la valeur courante du bit de dépassement (RDOVFL) du premier compteur de lecture avec ladite valeur mémorisée du bit de dépassement du premier compteur d'écriture. 4. Procédé selon la revendication 2 ou 3, caractérisé par le fait qu'à chaque fois qu'on stocke dans la deuxième mémoire (DIDQ) une 30 instruction opérative (DUOPx) impliquant au moins un registre (DUOPx), on lui associe une première étiquette contenant la valeur courante du premier compteur d'écriture qui a été mémorisée lorsque la dernière instruction de chargement (LRDx) modifiant l'un au moins des registres implia la mana requés dans ladite instruction opérative a été stockée dans la première 21 235 22 mémoire, et par le fait que le critère d'extraction de cette instruction opérative (DUOPx) ayant afteint la tête (ETG4) de la deuxième mémoire (DIDQ) prend en compte le résultat de la comparaison entre ladite valeur de la courante mémorisée associée à cette instruction opérative, et la valeur (Calabilla) courante du premier compteur de lecture (RDVL1):

-1100 100 FV + 11011 10 60 Procédé selon l'une des revendications précédentes, caractéannes par le fait que le moyen de mémoire de la première unité comporte une troisième mémoire de type FIFO (SNDGQ), distincte de la première et de la deuxième mémoires, et une quatrième mémoire de type FIFO (RCGQ), distincte des trois premières, par le fait que la première unité (DU) - 1 m contient un registre d'indications de garde (RG), par le fait que la délivrance d'une instruction gardée au moyen de mémoire (AIDQ) d'une autre unité de traitement différente de la première (AU ou GU), ou la 25 de délivrance d'une instruction de chargement gardée à la première unité, provoque la délivrance à la première unité de traitement (DU) et son stocen la la la troisième mémoire (SNDGQ), d'une instruction de transmission (SNDGx) destinée à faire transmettre à ladite autre unité (AU ou GU) ou à ladite quatrième mémoire (RCGQ), respectivement, la valeur de 30 de l'indication de garde (Gx) associée à ladite instruction gardée ou à ladite instruction de chargement gardée, respectivement, par le fait qu'on extrait de la troisième mémoire (SNDGQ) une instruction de transmission sa de la control aucune instruction modificatrice (GMIx) temporellement plus ancienne destinée à modifier la valeur de l'indication de garde (Gx) associée à cette

U- 41

de la deuxième (SNDGx), n'est présente dans la deuxième represent affamémoire (DIDQ), et par le fait qu'en présence d'une telle instruction modificatrice (GMIx) temporellement plus ancienne, on extrait l'instruction de transmission (SNDGx) de la troisième mémoire (SNDGQ) 1976 5 su seulement après que l'instruction modificatrice (GMIx) a été extraite de la egraficação deuxième mémoire (DIDQ), seus como a reolapación de da for the Procédé selon la revendication 6, caractérisé par le fait qu'à chaque fois qu'on extrait une instruction (INST) de la deuxième mémoire (DIDQ), on incrémente un deuxième compteur de lecture (RDCTR2), par le fait qu'à chaque fois qu'on stocke une instruction (INST) dans la deuxième mémoire (DIDQ), on incrémente un deuxième compteur d'écriture (WRCTR2), par le fait qu'àichaque fois qu'on stocke dans la deuxième mémoire (DIDQ) une instruction (GMIx) modifiant la valeur d'une indicawith a part tion de garde (Gx), non himémorise la valeur (courante (WRVL2) du 15 deuxième compteur d'écriture, et par le fait que la détermination du caractère toujours présent de cette instruction modificatrice (GMIx) dans la deuxième mémoire prend en compte la comparaison de ladite valeur couone rante mémorisée du deuxième compteur d'écriture avec la valeur courante that and du deuxième compteur de l'ecture (RDVL2). deuxième compteur d'écriture (WRETR2) et le deuxième compteur de lecture (RDCTR2) ont une taille binaire identique égale à la profondeur de la deuxième mémoire (DIDQ), par le fait qu'on associe à chaque deuxième compteur un bit de dépassement (WROVFL2, RDOVFL2) changeant de valeur à chaque fois que le deuxième compteur correspondant revient à sa valeur initiale, par le fait qu'à chaque fois qu'on stocke dans la deuxième mémoire une instruction (GMIx) modifiant la valeur d'une indication de garde, on mémorise également la valeur courante du bit de dépassement (WROVFL2) du deuxième compteur d'écriture; et par le fait que la déter-130 mination du caractère toujours présent de cette instruction modificatrice (GMIx) dans la deuxième mémoire prend également en compte la comparaison de la valeur courante du bit de dépassement (RDOVFL2) du deuxième compteur de lecture avec ladite valeur mémorisée du bit de dépassement du deuxième compteur d'écriture.

19835: 1987 1984 1989. Procédé selon la revendication 7 ou 8; caractérisé par le fait

á

qu'à chaque fois qu'on stocke une instruction de transmission (SNDGx) dans la troisième mémoire (SNDGQ), on lui associe une étiquette contenant la valeur courante du deuxième compteur d'écriture qui a été mémorisée lorsque la dernière instruction (GMIx) modifiant l'indication de garde (Gx) associée à ladite instruction de transmission a été stockée dans la deuxième mémoire, et par le fait que le critère d'extraction de cette instruction de transmission (SNDGx) ayant atteint la tête (ETG4) de la troisième mémoire (SNDGQ) prend en compte le résultat de la comparaison entre ladite valeur courante mémorisée associée à cette de la decture (RDVL2). Le arrange de la valeur courante du deuxième compteur de lecture (RDVL2). Le arrange de la valeur courante du deuxième compteur de lecture (RDVL2). Le arrange de la revendications 8 et 9, caractérisé par le fait de qu'à chaque fois qu'on stocke une instruction de transmission dans la troi-

sième mémoire, on lui associe également dans son étiquette la valeur coulime 152 de rante du bit de dépassement du deuxième compteur d'écriture qui a été
la de mémorisée lorsque la dernière instruction (GMIx) modifiant l'indication
lup as que l'de garde associée à ladite instruction de transmission a été stockée dans la
le deuxième mémoire, et par le fait que le critère d'extraction de cette
instruction de transmission ayant atteint la tête de la troisième mémoire
prend également en compte le résultat de la comparaison entre cette valeur
courante mémorisée associée à cette instruction de transmission et la
valeur courante du bit de dépassement (RDOVFL2) du deuxième compteur
le de lecture.

contenant plusieurs unités de traitement (DU, AU, GU) respectivement de sassociées à des moyens de mémoire du type FIFO pour stocker séquentiellement les instructions respectives qui sont destinées aux unités correspondantes, et une unité centrale (CU) apte en réponse à une instruction de chargement d'une donnée mémorisée dans un registre, à délivrer au moyen de mémoire d'une première unité de traitement (DU), une instruction de chargement dans ledit registre, et à délivrer au moyen de mémoire d'une deuxième unité de traitement (AU) une instruction destinée à élaborer ladite donnée mémorisée, l'instruction de chargement n'étant exécutée que lorsque ladite donnée mémorisée a été délivrée par ladite deuxième unité de traitement, caractérisé par le fait que le moyen de mémoire de la pre-

<u>:</u>u 43

mière unité comporte une première mémoire de type FIFO (RLDQ), et une deuxième mémoire de type FIFO (DIDQ) distincte de la première, et par le ment to the state queile processeur comportes rest on the state of the section of movense d'aiguillage (DISP), aptes à stocker chaque instruction de chargement (LDRx) dans la première mémoire (RLDQ) et certaines au moins des autres instructions opératives (INST) destinées à la première unité (DU) dans la deuxième mémoire, et ampage Market and the des premiers moyens de commande (MCTL1) aptes sant la la la la la la la la deuxième mémoire (DIDQ) une instruction opé-10 carative impliquant au moins un registre (DUOPx) et ayant atteint la tête (ETG4) de cette deuxième mémoire, si aucune instruction de chargement (LDRx) temporellement plus ancienne destinée à modifier la valeur du ou des registres associés à cette instruction opérative, n'est présente dans la - was a set of première mémoire (DIDQ) set pronzes es, par artubité a una se en présence d'une telle instruction modificatrice de chargement (LDRx) temporellement plus ancienne, à extraire ladite instruction opérawe in the tive (DUOPx) de la deuxième mémoire (SNDGQ) seulement après que l'instruction modificatrice de chargement (LDRx) a été extraite de la preme con a mière mémoire (RLDQ) ats masse notres areas est manura mi 20, 110 112. Processeur selon la revendication 14, caractérisé par le fait que les premiers moyens de commande (MCTL1) comportent and a comprende de lecture (RDCTR1) incrémenté à chaque fois qu'une instruction est extraite de la première mémoire (RLDO), un premier compteur d'écriture (WRCTR1) incrémenté à chaque 25 y fois qu'une instruction est stockée dans la première mémoire (RLDQ), State of the state nun ensemble de premiers registres élémentaires (RT0-RT15) respectivement associés à l'ensemble des registres (R0-R15) capables Martin 1966 d'être chargés par des données mémorisées, et le martin en un premier bloc de commande (MC00) apte, à chaque fois qu'une instruction de chargement (LDRx) dans un registre (Rx) est stockée dans se de la première mémoire (RLDQ), à stocker la valeur courante (WRVL1) du premier compteur d'écriture dans un champ principal (LCHx) du premier registre élémentaire (RTx) associé à ce registre(Rx), un en proposition un deuxième bloc de commande (MC11) apte à déterminer le 35 caractère toujours présent de cette instruction de chargement (EDRx)

dans la première mémoire (REDQ), et comportant des premiers moyens de comparaison (MC100) aptes à comparer le contenu du champ principal (LCHx) du premier registre élémentaire (RTx), avec la valeur de le courante (RDVL1) du premier compteur de lecture.

(925 Chit unitable de 13. Processeur selon la revendication 12, éaractérisé par le fait que le premier compteur d'écriture et le premier compteur de lecture ont une taille binaire identique égale à la profondeur de la première mémoire (RLDQ), par le fait qu'à chaque premiér compteur est associé un bit de dépassement (WROVFL1, RDOVFL1) changeant de valeur à chaque fois i 10 🕾 💯 que le premier compteur correspondant revient à sa valeur initiale, par le fait que chaque premier registre élémentaire (RTx) comporte en outre un champ auxiliaire à un bit (LBAx), par le fait que le premier bloc de commande (MC00) est apte, à chaque fois qu'une instruction de chargement (LDRx) dans un registre (Rx) est stockée dans la première mémoire 1915 (RDDQ), à stocker également la valeur courante du bit de dépassement (WROVFL1) du prémier compteur d'écriture dans le champ auxiliaire (LBAx) du premier registre élémentaire correspondant (RTx), et par le fait que le deuxième bloc de commande (MC11) comporte des premiers moyens de comparaison auxiliaires (PEO10) aptes à comparer la valeur #2011/44 courante du bit de dépassement (RDOVFL1) du premier compteur de lecture avec le contenu du champ auxiliaire (LBAx).

25
15. Processeur selon l'une des revendications 12 à 14, caractérisé par le fait que chaque étage (LETGi) de la deuxième mémoire (DIDQ) comporte un champ utile (LCHUi) pour le stockage d'une instruction opérative (DUOPx) impliquant au moins un registre(Rx) ou bien pour le stockage d'une instruction non-opérative (NOP), et un premier champ supplémentaire (LDtag), par le fait que les moyens de commande (MCTL1) comportent

un troisième bloc de commande (MC12) apte, à chaque fois qu'une instruction opérative (DUOPx) impliquant au moins un registre (Rx) est stockée dans le champ utile (LCHU1) de l'étage d'entrée de la deuxième mémoire, à sélectionner parmi tous les premiers registres élé-

· . , 5 - . . .

∴ 10₀

45 1.

mentaires associés, à tous les registres impliqués dans ladite instruction popérative, celui correspondant, à, la dernière instruction de chargement(LDRx) modifiant l'un au moins de ces registres impliqués, et à transférer le contenu du champ principal (LCHx) du premier registre élémentaire sélectionné (RTx), dans le premier champ supplémentaire (LDtag) actions de l'étage d'entrée de la deuxième mémoire (DIDQ), et en pour

un quatrième bloc de commande (MC13), apte à élaborer le critère d'extraction de cette instruction opérative (DUOPx) ayant atteint l'étage de tête (LETG4) de la deuxième mémoire (DIDQ), et comportant des premiers moyens de comparaison (MC300) aptes à comparer le contenu dudit premier champ supplémentaire (LDtag) de l'étage de tête avec la valeur courante (RDVL1) du premier compteur de lecture.

16. Processeur selon la revendication 15 prise en combinaison avec la revendication 13 ou 14, caractérisé par le fait que chaque étage de 15 la deuxième mémoire comporte en outre un deuxième champ supplémentaire (AuxLD), par le fait que le troisième bloc de commande (MC12) est apte, à chaque fois qu'une instruction opérative est stockée dans le champ vers par utile (LCHU1) de l'étage d'entrée de la deuxième mémoire, à transférer le contenu du champ auxiliaire (LBAx) du premier registre élémentaire sélectionné (RTx), dans le deuxième champ supplémentaire (AuxLD) de l'étage d'entrée de la deuxième mémoire, et par le fait que le quatrième bloc de commande (MC13) comportent des premiers moyens de comparaison supplémentaires (PLO30) aptes à comparer le contenu du deuxième champ supplémentaire (AuxLD) avec la valeur courante du bit de dépasse-25 ment (RDOVFL1) du premier compteur de lecture.

Processeur selon la revendication 16, caractérisé par le fait Le propiet les premiers moyens de comparaison supplémentaires comportent une and the porte logique NON OU EXCLUSIF (PLO30).

- 17 198 across of 18. Processeur selon l'une des revendications 11 à 17, caracté-30, risé par le fait que le moyen de mémoire de la première unité (DU) comporte une troisième mémoire de type FIFO (SNDGQ), distincte de la première et de la deuxième mémoires, et une quatrième mémoire de type FIFO (RCGQ), distincte des trois premières, par le fait que la première unité (DU) contient un registre d'indications de garde (GR), par le fait que 35 and the limité centrale (CU) est apteune multiple de la proposition de la mariente de

d'une autre unité de traitement (GU) différente de la première, ou une descript instruction de chargement gardée à la première unité de traitement (DU), et soit de la première unité de traitement (DU), et soit de la première unité de traitement (DU), une instruction de transmission (SNDGx) destinée à faire transmettre à ladite autre unité (GU) ou à ladite quatrième mémoire (RCGQ), respectivement, la valeur de l'indication de gardé (Gx) associée à ladite instruction gardée ou à ladite instruction de chargement gardée, respectivement, la valeur de l'indication de chargement gardée, le respectivement, la valeur de l'indication de chargement gardée, respectivement, la valeur de l'indication de chargement gardée, le respectivement, la valeur de l'indication de chargement gardée, le respectivement, la valeur de l'indication de chargement gardée, le respectivement, la valeur de l'indication de chargement gardée, le respectivement, la valeur de l'indication de chargement gardée, le respectivement, la valeur de l'indication de chargement gardée, le respectivement, le respectivement de transmission (SNDGx) dans la troisème

ker schaque sinstruction des transmission (SNDGx) dans la troisème as the compared (SNDGQ), it stoys constantly on mid-stricet par le fait que le processeur comporté en outre des deuxièmes 1945 de Lomoyens de commande (MCTL) aptes processor de pr o play and a citizen to the carextraire dela troisième mémoire (SNDGQ) une instruction de transmission (SNDGx) ayant atteint la tête (ETG4) de cette troisième and the memoire si aucune instruction modificatrice (GMIx) temporellement plus voi que pi lancienne déstinée à modifier la valeur de l'indication de garde associée à 2013 deuxième de de l'instruction de transmission, un'est présente dans la deuxième ous de la imémoire (DIDQ), ethi salon de l'occonacet qui enci osci et Haran and the en présence d'une telle instruction modificatrice (GMIx) temporellement plus ancienne, à extraire l'instruction de transmission de Signature de la troisième dinémoire (SNDGQ) deseulement après que l'instruction 25 25 1971, a modificatrice (GMIx) a été extraite de la deuxième mémoire (DIDQ). 16.5 de 200 de 19. Processeur selon la revendication 18, caractérisé par le fait que les deuxièmes moyens de commande (MCTL) comportent

un deuxième compteur de lecture (RDCTR2) incrémenté à chaque fois qu'une instruction est extraite de la deuxième mémoire, un deuxième compteur d'écriture (WRCTR2) incrémenté à chaque fois qu'une instruction est stockée dans la deuxième mémoire, un ensemble de deuxièmes registres élémentaires (GT0-GT15)

respectivement associés à l'ensemble des indications de garde (G0-G15), un cinquième bloc de commande (MC0) apte, à chaque fois qu'une instruction (GMIx) modifiant la valeur d'une indication de garde

47

(Gx) est stockée dans la deuxième mémoire, à stocker la valeur courante (CHx) du deuxième registre élémentaire (GTx) associé à cette indication de garde,

or M il on tère toujours présent de cette instruction modificatrice (GMIx) dans la deuxième mémoire, et comportant des deuxièmes moyens de comparaison (MC10) aptes à comparer le contenu du champ principal (CHx) du deuxième registre élémentaire (GTx), avec la valeur courante (RDVL2) DESTRUCTED AND du deuxième compteur de lecture.

especial de la constant de la consta antique que le deuxième compteur d'écriture et le deuxième compteur de lecture ont une taille binaire identique égale à la profondeur de la deuxième compteur est associé un bit de dépassement (WROVFL2, RDOVFL2) changeant de valeur à chaque fois que le deuxième compteur correspondant revient à sa valeur initiale, par le fait que chaque deuxième registre élémentaire (GTx) grande comporte en outre un champ auxiliaire à un bit (BAx), par le fait que le cinquième bloc de commande (MC0) està apte, à chaque fois qu'une instruction (GMIx) modifiant lauvaleur id'une indication de garde est stockée dans la deuxième mémoire, à procker également la valeur courante du bit de dépassement (WROVFL2) du deuxième compteur standarde d'écriture dans le champ auxiliaire. (BAx) uduil deuxième registre grande l'entre l'entre correspondant, et par le fait que le sixième bloc de commande 25 Mr. (MC1) comporte des deuxièmes moyens de comparaison auxiliaires (PLO1) aptes à comparer la valeur courante du bit de dépassement (RDOVFL2) du deuxième compteur de lecture avec le contenu du champ Se auxiliaire (BAx). Per sone i more possiné e de la

3-6 90

- 20 . .

... 21. Processeur selon la revendication 20, caractérisé par le fait - 30 () que les deuxièmes moyens de comparaison auxiliaires comportent une primiporte logique NON OU EXCLUSIF (PLO1).

19 à 21, caractérisé par le fait que chaque étage (ETGi) de la troisième mémoire (SNDGQ) comporte un champ utile (CHUi) pour le stockage d'une instruction de 35. 35. internation (SNDGx), et un premier champ supplémentaire (Sndgtag), : 48

par le fait que les deuxièmes moyens de commande (MCTL) comportent un septième bloc de commande (MC2) apte, à chaque fois qu'une instruction de transmission est stockée dans le champ utile (CHU1) de l'étage d'entrée de la troisième mémoire, à transférer le contenu du champ principal (CHx) du deuxième registre élémentaire (GTx) associé à l'indication de garde correspondante (Gx), dans le premier champ supplémentaire (Sndgtag) de l'étage d'entrée de la troisième mémoire, et

un huitième bloc de commande (MC3) apte à élaborer le critère d'extraction de cette instruction de transmission ayant atteint l'étage de tête (ETG4) de la troisième mémoire, et comportant des deuxièmes moyens de comparaison (MC30) aptes à comparer le contenu dudit premier champ supplémentaire (Sndgtag) de l'étage de tête avec la valeur courante (RDVL2) du deuxième compteur de lecture.

23. Processeur selon la revendication 22 prise en combinaison avec la revendication 20 ou 21, caractérisé par le fait que chaque étage de la troisième mémoire comporte en outre un deuxième champ supplémentaire (Auxgmi), par le fait que le septième bloc de commande (MC2) est apte, à chaque fois qu'une instruction de transmission est stockée dans le champ utile (CHU1) de l'étage d'entrée de la troisième mémoire, à transférer le contenu du champ auxiliaire (BAx) du deuxième registre élémentaire (GTx) associé à l'indication de garde correspondante (Gx), dans le deuxième champ supplémentaire (Auxgmi) de l'étage d'entrée de la troisième mémoire, et par le fait que le huitième bloc de commande (MC3) comportent des deuxièmes moyens de comparaison supplémentaires (PLO3) aptes à comparer le contenu du deuxième champ supplémentaire (Auxgmi) avec la valeur courante du bit de dépassement (RDOVFL2) du deuxième compteur de lecture.

24. Processeur selon la revendication 23, caractérisé par le fait que les deuxièmes moyens de comparaison supplémentaires comportent une porte logique NON OU EXCLUSIF (PLO3).

30

5

10

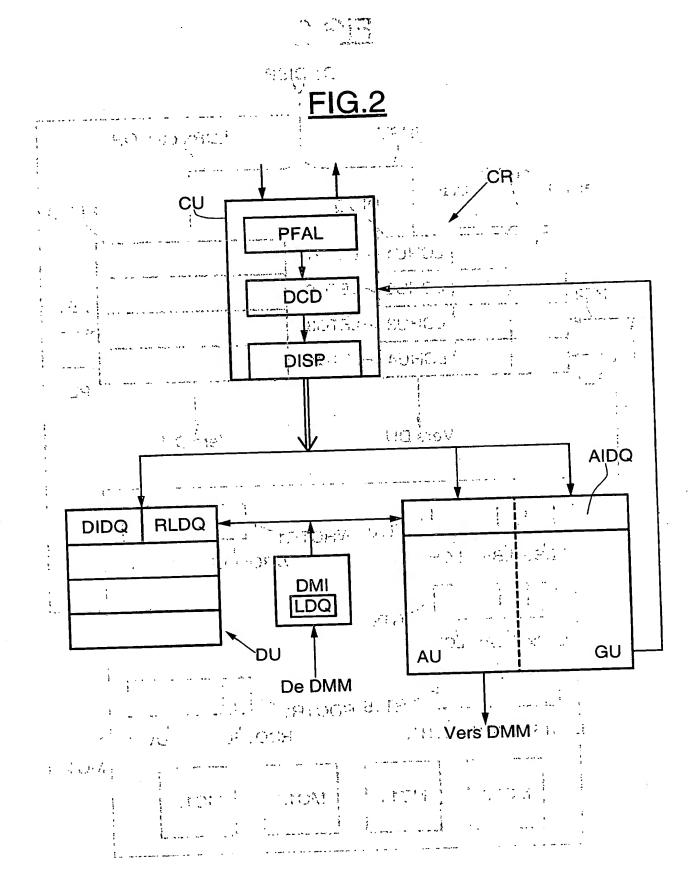
15

20

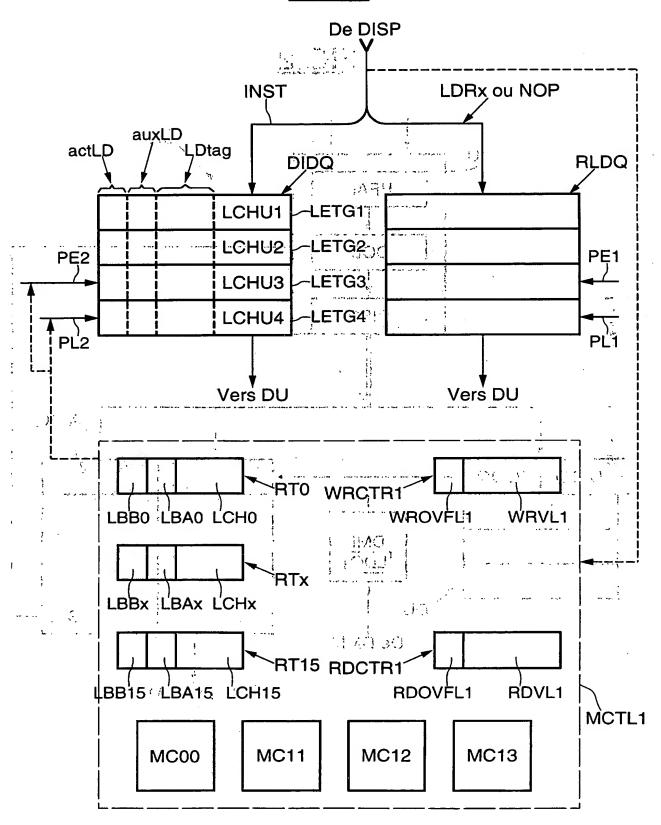
25

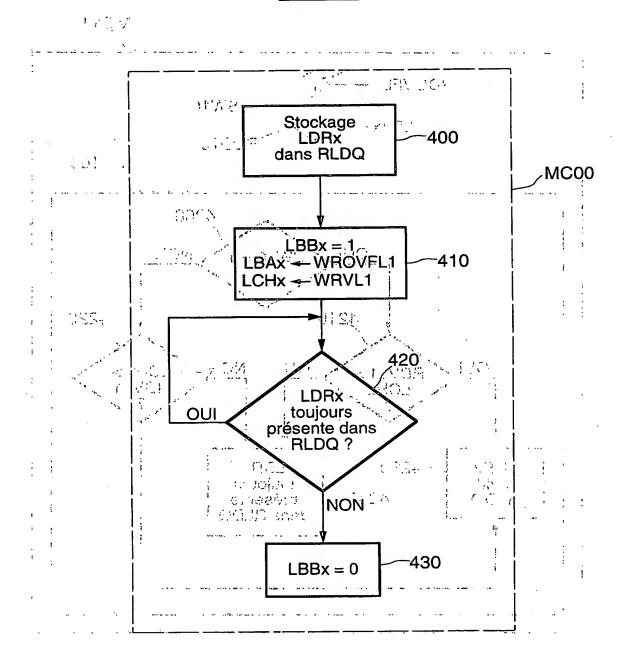
³³1/14

The production of the second commence of the programmer with the complete control of multi-conframe do Esperant (indigento com tour site policies et en la casa. word and the rest of the many and the second of the second produces some statistical to confide Aromatic complete with and the converse of the same of the constant of the same of the sa Υ. or in the recordings and street participation are combining for con much and come new of the rain as well not (not feet to the The STOP of State of the artist and the state of the stat o e avely singular de dia a**RM**ostena si teoriza abisomo di s community to the palos of paraline and district at the 4000 to the 1 or agriculture control of the experimental action (OA) (4) nothing group of the entrol wife entre en recursor de la companya de la familia de la completa de la companya del companya de la companya del companya de la companya del companya de la companya de la companya de la companya del companya de la companya del la companya and but on a reference con Durse and (LEV CER) constanted r to months a sheriff or builders as a modern to be special if ٠ بي and the contraction of the transplant of the property of the contraction of the contracti in a finite of the companies of the comp ed in (Autguri), par la interior il la appliègne blue de companya in di di di ٠٠. and the following and including the constant of the first including a full care to it and a o é um de distribuira de mére los partes de destruir de que de la composiçõe de la composiçõe de la composiçõe The second of the second of the service of the second of t Conversion of the state of the . . **."**, of a constitution of a property of the constitution of the constit is any one color and significant comparison of the following contractions of the contraction of the contractions of the contractions of the contractions of the contra of the analogian gram site sychestralist and a part of the THE STATE OF THE PROPERTY OF THE STATE OF TH the HV Suit of the mass of a strain distribution and arthread level and give his as-The state of the state of the term of the property of the second of the the area out though and a large The state of the state of the state of PERCORAGINATION OF CHAPTER 121 12 **DMM**

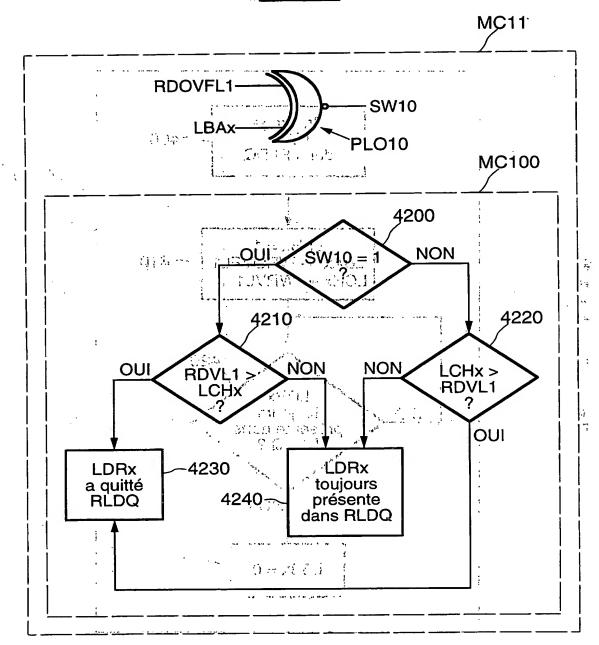


3/14

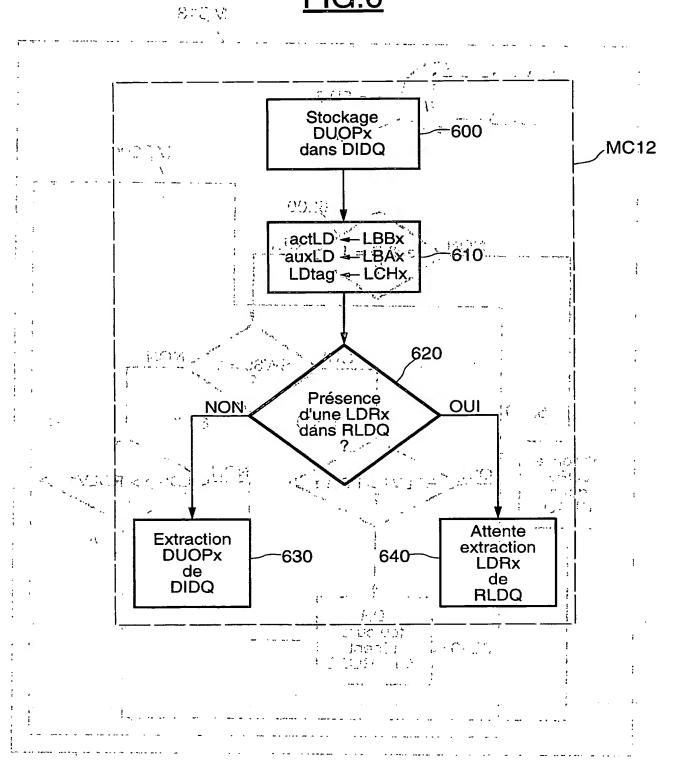




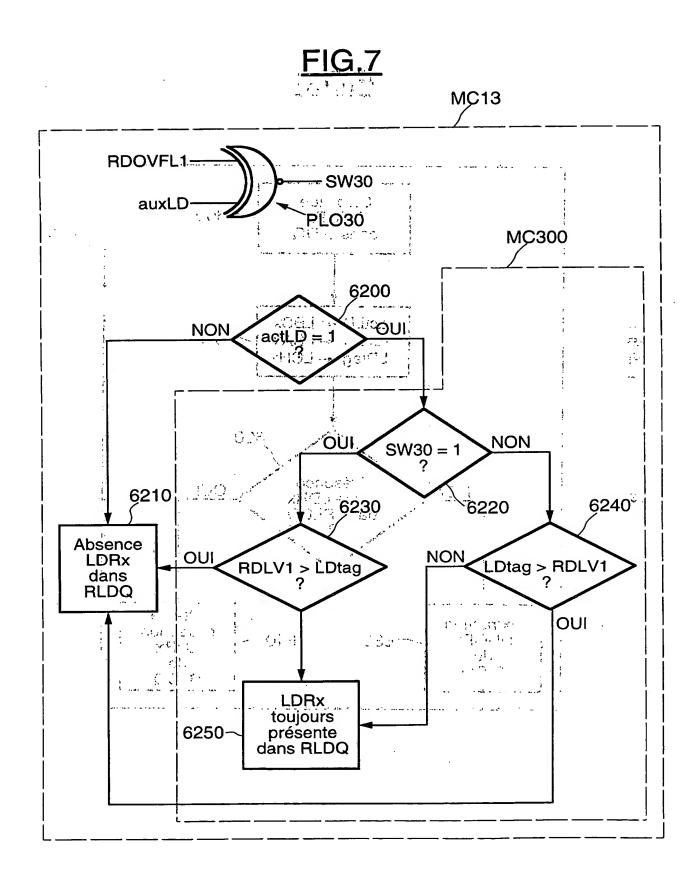
5/14

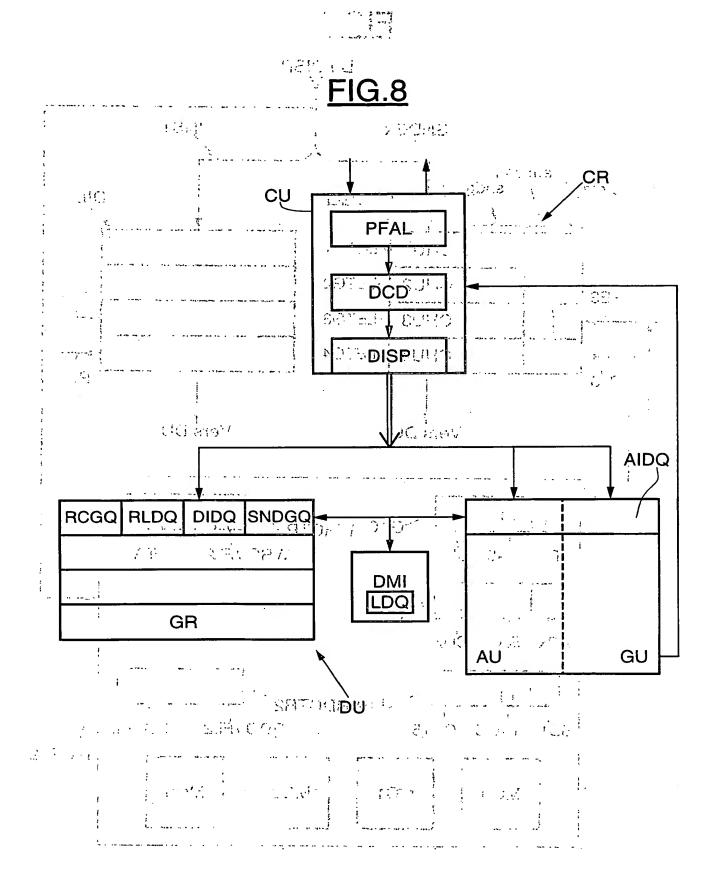




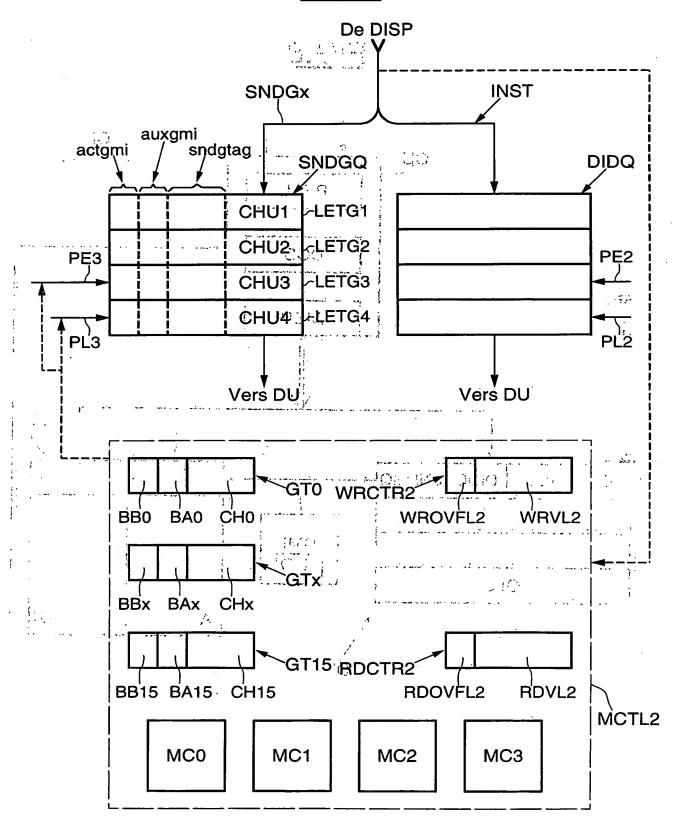


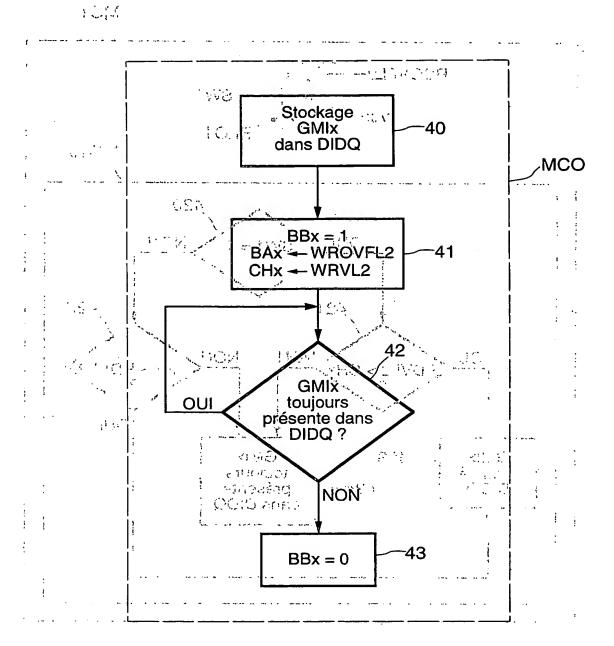
7/14





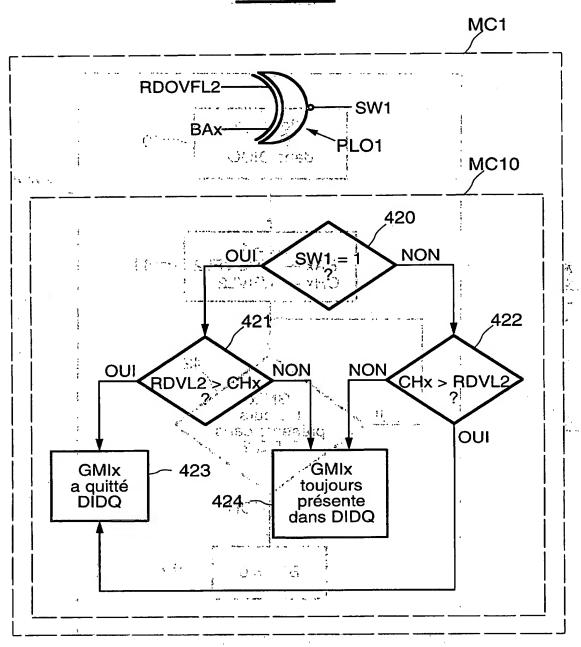
9/14

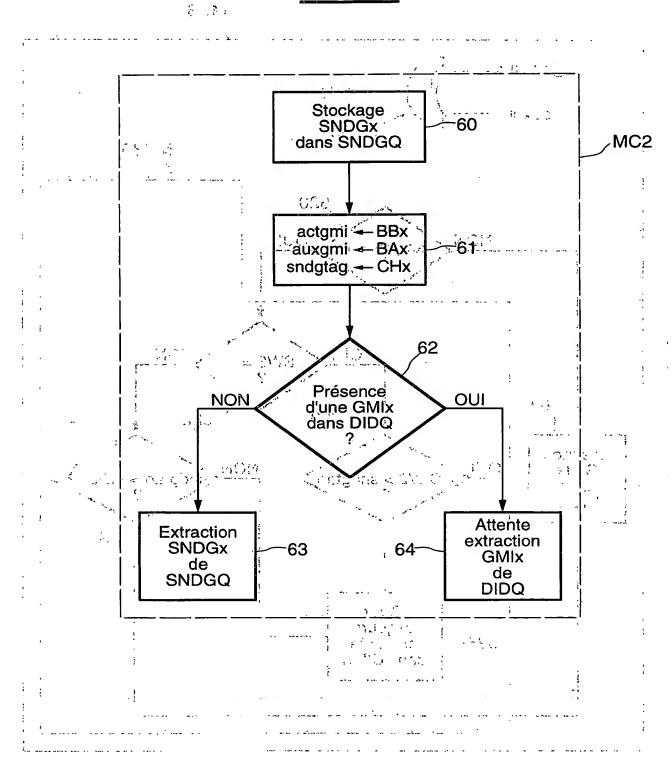




11/14

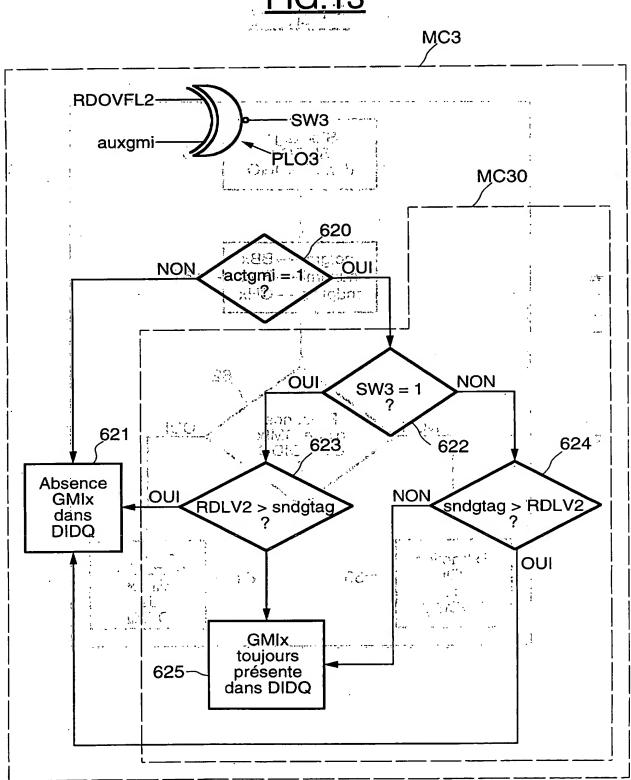
FIG.11





13/14





est. To the

14/14 -29 (92) 13 - 21 (523)

and the same of the

PARKETER TO METALL

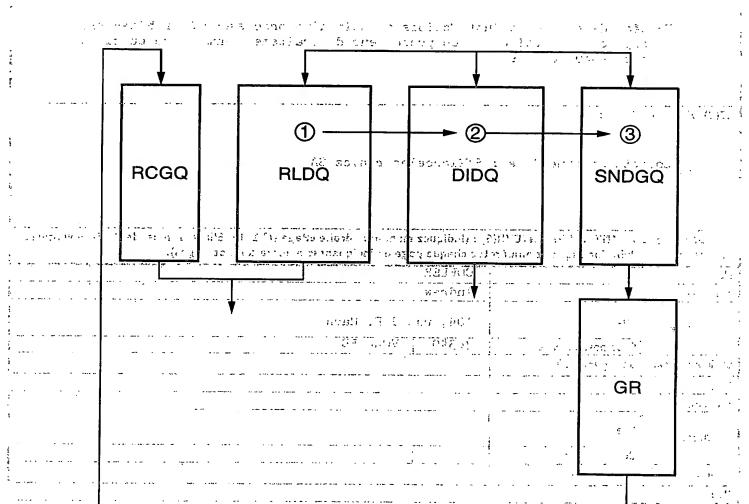
A Contract of the contract of

The state of the s

FIG.14

Enterthine was promoted as the Control of the Contr

Catalog Marine Commission Confedence



And the state of t

ការប្រទាំងនេះការសេចប្រកាសតែការប្រជាជាក្រុមប្រជាពី ការប្រជាជាការប្រកាសការប្រជាជាការប្រជាជាការប្រជាជាការប្រជាជាក ការប្រកាសអាសាសការប្រជាជាការប្រកាសការប្រជាជាការប្រជាជាការប្រជាជាការប្រជាជាការប្រជាជាការប្រជាជាការប្រកាសការប្រក



BREVET D'INVENTION

CERTIFICAT D'UTILITÉ

Code de la propriété intellectuelle - Livre VI



DÉPARTEMENT DES BREVETS

26 bis, rue de Saint Pétersbourg 75800 Paris Cedex 08 Téléphone : 01 53 04 53 04 Téléphone

Téléphone : 01 53 04 53 04 Télécopie : 01 42 94 86 54

DÉSIGNATION D'INVENTEUR(S) Page N° . . 1 / .1. .

(Si le demandeur n'est pas l'inventeur ou l'unique inventeur)

Telephone : 01 55 04 5	3 04 Telecopie : 01 42 94 80 34	Cet imprimé est à remplir lisiblement à l'encre noire 08 113 W.	/26089	
Vos références pour ce dossier (facultatif)		B 00/4116 FR		
N° D'ENREGIST	REMENT NATIONAL	0101648		
TITRE DE L'INV	ENTION (200 caractères ou esp	aces maximum)		
Procédé de gestion d'instructions au sein d'un processeur à architecture découplée, en particulier un processeur de traitement numérique du signal, et processeur correspondant.				
 :	and the second of the second o	The common of the control of the control of		
LE(S) DEMANDE	EUR(S):			
9		STMicroelectronics SA		
^	·			
DESIGNE(NT) EN TANT QU'INVENTEUR(S): (Indiquez en haut à droite «Page N° 1/1» S'il y a plus de trois inventeurs, utilisez un formulaire identique et numérotez chaque page en indiquant le nombre total de pages).				
Nom	The second secon	COFLER	٠	
Prénoms -		Andrew		
Adresse	Rue :	104, rue J.F. Hache		
	Code postal et ville	38340 VOREPPE	•	
Société d'appartenance (facultatif)			_	
Nom	15.			
Prénoms				
Adresse	Rue			
Sociátá d'apparte	Code postal et ville			
Société d'appartenance (facultatif)				
Nom				
Prénoms				
Adresse	Rue			
	Code postal et ville			
Société d'apparte	nance (facultatif)			
DATE ET SIGNATURE(S) DU (DES) DEMANDEUR(S) OU DU MANDATAIRE (Nom t qualité du signataire)		Paris, le 27 Février 2001.		
		A. CASALONGA (bm 92-1044i) Conseil en Propriété Industrielle		



THIS PAGE BLANK (USPTO)